

UNIVERZA V LJUBLJANI  
FAKULTETA ZA RAČUNALNIŠTVO IN INFORMATIKO

Gorazd Rot

**TEHNOLOGIJE DINAMIČNIH  
RAM-POMNILNIKOV  
IN PREHOD NA STANDARD DDR4**

DIPLOMSKO DELO  
NA VISOKOŠOLSKEM STROKOVNEM ŠTUDIJU

Ljubljana, 2014

UNIVERZA V LJUBLJANI  
FAKULTETA ZA RAČUNALNIŠTVO IN INFORMATIKO

Gorazd Rot

**Tehnologije dinamičnih  
RAM-pomnilnikov  
in prehod na standard DDR4**

DIPLOMSKO DELO  
NA VISOKOŠOLSKEM STROKOVNEM ŠTUDIJU

MENTOR: pred. mag. Igor Škraba

Ljubljana, 2014

## PODATKI O ZAKLJUČNI TEMI

Naslov

Tehnologije dinamičnih RAM-pomnilnikov in prehod na standard DDR4

Naslov (angleški)

Dynamic RAM Technology and Migration to DDR4 Standard

Mentor

pred. mag. Igor Škraba

Datum dviga

7.3.2014

Rok oddaje

15.9.2014

---

Opis

V nalogi opišite osnovne lastnosti pomnilniških tehnologij ter pojasnite zgradbo in delovanje dinamičnih RAM-pomnilnikov. Predstavite sinhronske DRAM-pomnilnike in njihove razvojne stopnje. Podrobneje analizirajte novi standard DDR4 in ga primerjajte z DDR3.

Opis (angleški)

/

## **IZJAVA O AVTORSTVU DIPLOMSKEGA DELA**

Podpisani Gorazd Rot, z vpisno številko **63010270**, sem avtor diplomskega dela z naslovom:

Tehnologije dinamičnih RAM-pomnilnikov in prehod na standard DDR4

S svojim podpisom zagotavljam, da:

- sem diplomsko delo izdelal samostojno pod mentorstvom pred. mag. Igorja Škrabe,
- so elektronska oblika diplomskega dela, naslov (slov., angl), povzetek (slov., angl) ter ključne besede (slov., angl.) identični s tiskano obliko diplomskega dela,
- soglašam z javno objavo elektronske oblike diplomskega dela na svetovnem spletu preko univerzitetnega spletnega arhiva.

V Ljubljani, 20. avgusta 2014

Podpis avtorja:

## *ZAHVALA*

*Zahvaljujem se mentorju pred. mag. Igorju Škrabi  
za pomoč in vodenje pri diplomskem delu  
ter svoji ženi za spodbudo in podporo.*

# KAZALO

|  |           |
|--|-----------|
| <b>1. UVOD .....</b>                                 | <b>1</b>  |
| <b>2. POMNILNIŠKA TEHNOLOGIJA .....</b>              | <b>2</b>  |
| 2.1 CENA .....                                       | 2         |
| 2.2. HITROST DOSTOPA .....                           | 3         |
| 2.3 NAČIN DOSTOPA .....                              | 3         |
| 2.4 SPREMENLJIVOST .....                             | 4         |
| 2.5 OBSTOJNOST .....                                 | 5         |
| 2.6 ZANESLJIVOST .....                               | 5         |
| <b>3. LASTNOSTI RAM-POMNILNIKOV .....</b>            | <b>6</b>  |
| 3.1 STATIČNA POMNILNIŠKA CELICA .....                | 6         |
| 3.2 DINAMIČNA POMNILNIŠKA CELICA .....               | 7         |
| 3.3 PRIMERJAVA POMNILNIŠKIH CELIC SRAM IN DRAM ..... | 7         |
| 3.4 BITNA RAVNINA DRAM-POMNILNIŠKE CELICE .....      | 8         |
| 3.5 REGISTER VRSTICE.....                            | 9         |
| 3.6 NASLAVLJANJE VRSTICE – STOLPCI.....              | 10        |
| 3.7 OSVEŽEVANJE.....                                 | 11        |
| <b>4 SINHRONSKI DINAMIČNI RAM-POMNILNIKI .....</b>   | <b>12</b> |
| 4.1 ENOJNA IN DVOJNA HITROST PRENOSA PODATKOV.....   | 13        |
| 4.2 DELOVANJE SDRAM-A.....                           | 14        |
| 4.3 RAZVOJNE STOPNJE SDRAM-A .....                   | 15        |
| 4.5 EKSPLOZIJSKI PRENOS.....                         | 17        |

|  |           |
|--|-----------|
| 4.6 POVEČANJE HITROSTI Z UVEDBO MODULOV .....  | 19        |
| 4.7 OPIS SIGNALOV .....  | 19        |
| 4.8 ČASOVNI DIAGRAM PRI BRANJU IN OPIS ČASOVNIH PARAMETROV .....                         | 20        |
| 4.9 ZGRADBA POMNILNIŠKIH MODULOV .....   | 23        |
| <b>5. STANDARD SDRAM DDR4.....</b>   | <b>26</b> |
| 5.1 IZBOLJŠANJE ZMOGLJIVOSTI, NADGRADLJIVOST IN POVEČANJE POMNILNIŠKE<br>KAPACITETE..... | 28        |
| 5.2 MANJŠA PORABA ENERGIJE.....  | 32        |
| 5.3 IZBOLJŠANA ZANESLJIVOST, DOSTOPNOST IN UPORABNOST .....                              | 35        |
| <b>6. ZAKLJUČEK .....</b>  | <b>38</b> |
| <b>6. LITERATURA .....</b>   | <b>41</b> |

## SEZNAM UPORABLJENIH KRATIC

**CMOS** (angl. *complementary metal oxide semiconductor*) – polprevodniška tehnologija za izdelavo integriranega vezja

**CPE** (angl. *central processing unit*) – centralna procesna enota ali procesor

**CRC** (angl. *cyclic redundancy check*) – ciklično redundantno kodiranje

**DDR RAM** (angl. *double data rate random access memory*) – dinamični pomnilnik, ki deluje sinhrono in pri katerem je prenos podatkov mogoč ob pozitivni in negativni fronti urinega signala

**DIMM** (angl. *dual in line memory module*) – pomnilniški modul, ki ima kontakte na obeh straneh tiskanega vezja

**DRAM** (angl. *dynamic random access memory*) – dinamični RAM oz. dinamični pomnilnik

**EEPROM** (angl. *electrical EPROM*) – električno brisljiv PROM

**EPROM** (angl. *erasable PROM*) – brisljiv PROM

**JEDEC** (angl. *Joint Electron Devices Engineering Council*) – organizacija, ki je odgovorna za standardizacijo polprevodnikov

**LRDIMM** (angl. *load reduced DIMM*) – pomnilniški modul, ki odpravlja interference signalov, večja hitrost in velikost pomnilnikov

**POD** (angl. *pseudo open drain*) – logika z odprtim ponorom

**PROM** (angl. *programmable ROM*) – programabilni ROM

**RAM** (angl. *random access memory*) – bralno-pisalni pomnilnik

**RDIMM** (angl. *registered DIMM*) – pomnilniški modul, ki manj obremenjuje izhode SDRAM-ov

**ROM** (angl. *read only memory*) – bralni pomnilnik

**SDRAM** (angl. *synchronous dynamic random access memory*) – sinhronski dinamični pomnilnik

**SRAM** (angl. *static random access memory*) – statični RAM oz. statični pomnilnik

**SSTL** (angl. *stub series terminated logic*) – logika s serijsko zaključitvijo odcefov



## POVZETEK

Pomnilnik ima v razvoju vse hitrejših strežniških sistemov in osebni računalnikov izjemen pomen. Navadni računalniki imajo pomnilniško hierarhijo, ki jo sestavlja več pomnilnikov z različnimi lastnostmi. Diplomsko naloga se osredotoča na dinamične (DRAM) pomnilnike, ki se uporabljajo kot glavni pomnilnik. Najprej so predstavljene osnovne lastnosti pomnilniške tehnologije. V nadaljevanju sta pojasnjena zgradba in delovanje dinamičnih pomnilnikov. Poseben poudarek je na sinhronskih dinamičnih pomnilnikih in primerjavi njihovih razvojnih stopenj DDR, ki omogočajo velike hitrosti prenosa podatkov. K temu med drugim pomembno pripomoreta *prefetch* register in eksplozijski prenos. Diplomsko delo skuša prikazati tudi najpomembnejše novosti, ki prihajajo z novo razvojno stopnjo pomnilnika DDR4. Ta med drugim omogoča bistveno hitrejšo delovanje ob manjši porabi energije.

**Ključne besede:** pomnilnik, DRAM, SDRAM, DDR.

## **ABSTRACT**

Memory devices play a substantial role in developing increasingly fast computer systems. Most computers use a memory hierarchy consisting of different memory types with different features. This thesis examines dynamic random access memory (DRAM), which is used as the main memory. It looks at some fundamental features of computer memory technology and explains the structure and principle of operation of DRAM devices. A major focus is on synchronous dynamic random access memory (SDRAM) and on distinctions between evolutionary double-data rate SDRAM devices. Their high capacity is mainly due to a prefetch register and burst transfer. The thesis also explores various innovations and techniques designed into the new DDR4 SDRAM device leading to performance and power advantages.

**Keywords:** computer memory device, DRAM, SDRAM, DDR.

# 1. UVOD

Pomnilnik je nepogrešljiv člen v delovanju računalnika. Njegova naloga je hramba ukazov in operandov. Razvoj pomnilniških elementov je vedno strmel k doseganju večjih hitrosti in k optimizaciji cene. V poznih 60. letih 20. stoletja so se pojavili polprevodniški pomnilniki, ki so zamenjali feritne pomnilnike. Njihove glavne prednosti so bile ravno večje hitrosti in nižja cena. Danes je hiter in sorazmerno velik pomnilnik že nekaj običajnega. Današnji računalniki kot glavni pomnilnik uporabljajo skoraj izključno dinamični RAM-pomnilnik (DRAM).

Namen diplomske naloge je predstaviti pomnilniško tehnologijo in razvoj dinamičnih pomnilnikov, vključno z najnovejšim standardom DDR4. Naloga je členjena v štiri tematske sklope, ki natančneje opisujejo pomnilniške elemente.

Najprej so razložene glavne lastnosti pomnilniške tehnologije, s katerimi lahko primerjamo različne pomnilniške rešitve. V nadaljevanju se naloga osredotoči na značilnosti dinamičnih pomnilnikov v primerjavi s statičnimi. Pojasnjena sta njihova zgradba, način dostopa in osveževanje.

Sledi predstavitev sinhronskih DRAM-pomnilnikov (SDRAM), ki omogočajo hitrejši prenos podatkov med pomnilnikom in krmilnikom pomnilnika. Opisane so tudi posamezne razvojne stopnje sinhronskih pomnilnikov (DDR, DDR2, DDR3) in novi elementi, ki dodatno prispevajo k večji hitrosti pomnilnika, kot so *prefetch* register, eksplozijski prenos in modulna zgradba.

Zadnji tematski sklop obravnava novi standard DDR4. Njegove lastnosti so analizirane z vidika zmogljivosti, nadgradljivosti, pomnilniške kapacitete, porabe električne energije, zanesljivosti in dostopnosti.

## 2. POMNILNIŠKA TEHNOLOGIJA

V razvoju pomnilniških tehnologij so bila prizadevanja vedno usmerjana na to, da bi bil pomnilniški prostor čim večji in dostop do njega čim hitrejši. Z večanjem prostora povečujemo število problemov, ki jih računalnik lahko hkrati obdeluje; z večanjem hitrosti pa se krajša čas reševanja problemov. Vendar sta velikost in hitrost v obratnem sorazmerju: zato dandanes uporabljamo pomnilniško hierarhijo. To pomeni, da nimamo samo glavnega pomnilnika, ki je prostor, iz katerega CPE jemlje ukaze in operande in kamor CPE shranjuje operande, ampak tudi predpomnilnike in navidezni pomnilnik. Vsebina predpomnilnika je podmnožica vsebine glavnega pomnilnika in je najmanjši in najhitrejši v hierarhiji. Glavni oziroma fizični pomnilnik je pomnilnik, do katerega ima CPE neposreden dostop, in sicer tako da poda naslov pomnilniške besede. Navidezni pomnilnik se od glavnega pomnilnika razlikuje po tem, da je dostop do njega posreden preko V/I ukazov, ki najprej prenesejo zahtevano besedo v glavni pomnilnik, šele nato je možen neposreden dostop. Čeprav so predpomnilnik, glavni pomnilnik in navidezni pomnilnik fizično ločene enote, jih CPE vidi kot glavni pomnilnik z velikostjo navideznega pomnilnika in hitrostjo, ki je blizu hitrosti predpomnilnika.

Osnovna enota pomnilnika je enobitna pomnilniška celica ali bit (angl. *binary digit*) in lahko hrani eno od dveh možnih vrednosti 0 in 1. Fizično je en bit shranjen v eni pomnilniški celici, ki je v vsakem trenutku v stanju 0 ali 1. Današnji glavni pomnilniki so VLSI-integrirana vezja, osnovni gradniki pa so silicijevi tranzistorji.

V nadaljevanju so razložene osnovne lastnosti pomnilnikov. Z njihovim poznavanjem lahko razumemo in presojava različne rešitve pri gradnji glavnega pomnilnika. Te lastnosti so: cena, hitrost dostopa, način dostopa, spremenljivost, obstojnost in zanesljivost. [3]

### 2.1 Cena

Cena je običajno izražena v dolarjih na gigabajt (\$/GB), pri čemer je 1GB  $2^{30}$  bajtov. Izračunamo jo tako, da ceno celotnega pomnilnika delimo z njegovo velikostjo v GB, pri

čemer cena celotnega pomnilnika vključuje ceno pomnilniških celic in vse dodatne elektronike oziroma mehanike, potrebne za delovanje pomnilnika.

## 2.2. Hitrost dostopa

Zmogljivost pomnilnika se določa s hitrostjo branja in pisanja informacije v pomnilnik. Kot mera za hitrost se uporablja povprečen čas, ki je potreben za branje določene količine informacije, npr. ene besede iz pomnilnika. Ta čas imenujemo čas dostopa. Označujemo ga s  $t_a$  (angl. *access time*). Natančneje je to čas, ki preteče od trenutka, ko pomnilnik dobi naslov, do trenutka, ko je zahtevana informacija prisotna na izhodu pomnilnika (branje) oziroma do trenutka, ko informacija na vhodu pomnilnika (pisanje) ni več potrebna. Pri dinamičnih RAM-ih je pomemben še čas cikla, to je čas do naslednjega dostopa, ki je potreben zaradi posebnosti delovanja dinamičnih RAM-ov.

Dostop do informacije na magnetnih diskih je do 1 000 000-krat ( $10^6$ -krat) počasnejši od dostopa do polprevodniških pomnilnikov.

## 2.3 Način dostopa

Glede na način dostopa delimo vse pomnilnike v dve skupini. V prvi, ki je prevladujoča, ima vsaka pomnilniška beseda svoj enoveljaven pomnilniški naslov. Tovrstne pomnilnike imenujemo navadni pomnilniki. V drugi skupini so asociativni pomnilniki, kjer pomnilniške besede nimajo naslovov. Dostop do njih tako poteka preko vsebine ali dela vsebine pomnilniške besede.

Navadni pomnilniki se delijo glede na odvisnost časa dostopa od vrstnega reda naslovov, s katerih se bere ali piše. V tem smislu razlikujemo štiri načine dostopa:

- Naključni dostop (angl. *random access*) – čas dostopa do poljubne pomnilniške besede je neodvisen od naslova in od vrstnega reda naslovov pred tem naslovljenih besed. DRAM-pomnilniki, s katerimi so zgrajeni glavni pomnilniki, so pomnilniki z naključnim dostopom.
- Zaporedni dostop (angl. *serial access*) – čas za dostop do pomnilniške besede je odvisen od naslova besede, do katere je bil narejen dostop tik pred tem (magnetni trak, pomikalni register).

- Krožni dostop (angl. *rotational access*) – je posebna vrsta zaporednega dostopa (magnetni diski s fiksnimi glavami, magnetni bobni).
- Direktni dostop (angl. *direct access*) – kombinacija zaporednega in krožnega načina dostopa (magnetni in optični diski s premičnimi glavami). Povprečni čas dostopa je veliko krajši kot pri zaporednem ali krožnem dostopu.

## 2.4 Spremenljivost

Glede na možnost spreminjanja vsebine ločimo bralne (ROM) in bralno-pisalne pomnilnike. Pri prvih lahko pisalno operacijo izvršimo le enkrat in vsebine praviloma ne moremo več spreminjati. Pri tako imenovanih programabilnih ROM-ih lahko z napravo oz. programatorjem vpišemo v pomnilnik poljubno vsebino. Nekatere vrste (EPROM, EEPROM) je možno brisati in s programatorjem ponovno vpisati. EPROM je možno brisati z UV-svetlobo, medtem ko je EEPROM možno brisati električno bajt po bajt. Pri EEPROM-ih lahko pri normalni uporabi vanje pišemo tipično 10000-krat počasneje od branja.

Za razliko od EEPROM-a, kjer se briše vsak bajt posebej, pa se pri flash pomnilnikih lahko bliskovito električno izbriše vsebina celotnega pomnilniškega bloka ter se nato ponovno selektivno vpiše nazaj ( tabela 1).

| Vrsta pomnilnika | Dostop                    | Brisanje vsebine             | Način pisanja      | Obstojnost vsebine ob izklopu napajanja |
|------------------|---------------------------|------------------------------|--------------------|---|
| RAM              | Bralno-pisalni pomnilnik  | Električno – posamezen bajt  | Električno         | Neobstojna                              |
| ROM              | Bralni pomnilnik          | Ni možno                     | Maska pri izdelavi | Obstojna                                |
| PROM             |                           |                              | Električno         |   |
| EPROM            | Pretežno bralni pomnilnik | UV-svetloba – cel čip        |                    |   |
| EEPROM           |                           | Električno – posamezen bajt  |                    |   |
| Flash            |                           | Električno – posamezni bloki |                    |   |

Tabela 1: Vrste polprevodniških pomnilnikov. [6]

Bliskovni pomnilniki so pri pisanju počasnejši od RAM-pomnilnikov. Imajo pa bistveno prednost, da se vsebina ne izgubi. Pri bralno-pisalnih pomnilnikih (RAM) lahko vsebino poljubno spreminjamo. Večina glavnega pomnilnika je bralno-pisalne vrste. Majhen del pa ima bralne pomnilniške elemente (za shranjevanje zagonskih programov).

## **2.5 Obstočnost**

Informacija se hrani s pomočjo določenega fizikalnega pojava, ki je pogostoma nestabilen, zato se shranjena informacija lahko sčasoma izgubi. Do izgube informacije po navadi pride zaradi destruktivnega branja (DRAM-i), dinamičnega shranjevanja (DRAM-i) ali odklopa vira energije. Pomnilnike z dinamičnim shranjevanjem imenujemo dinamični pomnilniki, v nasprotju z njimi pa statični pomnilniki ne potrebujejo osveževanja.

## **2.6 Zanesljivost**

Zanesljivost pomnilnika merimo z verjetnostjo za pojav napake. Ločimo mehke in trde napake. Pri prvih se pomnilniška celica ne poškoduje in normalno deluje naprej. Spremembo stanja celice lahko povzroči že stik z delcem kozmičnih žarkov. Trda napaka pa povzroči trajno napako pomnilniške celice. Zanesljivost pomnilnika lahko povečamo z uporabo kod za detekcijo in korekcijo napak.

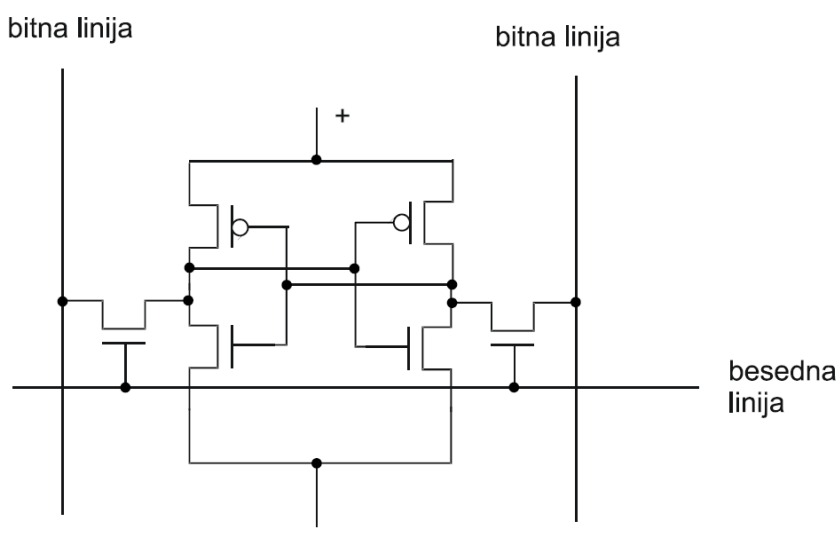
### 3. LASTNOSTI RAM-POMNILNIKOV

Pomnilnik je sestavljen iz mreže vrstic in stolpcev. Na stičišču vrstice in stolpca se nahaja pomnilniška celica. Informacija se na vseh pomnilniških elementih shranjuje v pomnilniških celicah. Pomnilniške celice, postavljene v pravokotna polja vrstic in stolpcev, imenujemo bitna ravnina. V nadaljevanju bo poleg bitne ravnine predstavljena primerjava pomnilniških celic SRAM in DRAM, razloženo bo, kako se pomnilniške vrstice oz. stolpci naslavlajo ter kako delujeta register vrstice in osveževanje pomnilnika.

#### 3.1 Statična pomnilniška celica

SRAM-pomnilnik sestavljajo statične pomnilniške celice. Statična pomnilniška celica je zgrajena kot flip-flop s šestimi tranzistorji in je prikazana na sliki 1.

Pri njej osveževanje ni potrebno, saj se shranjena vrednost ob napajalni napetosti ohranja poljubno dolgo. Hitrost dostopa je v primerjavi z dinamično pomnilniško celico več kot desetkrat večja. Statična celica potrebuje 6 tranzistorjev, medtem ko dinamično lahko zgradimo že z enim samim tranzistorjem. Prav zaradi tega ena statična pomnilniška celica zasede večjo površino na čipu, večja pa je tudi poraba energije. SRAM-pomnilnik je torej bistveno hitrejši in dražji od DRAM-pomnilnika, zato je običajno tudi veliko manjši. ([3], [12])



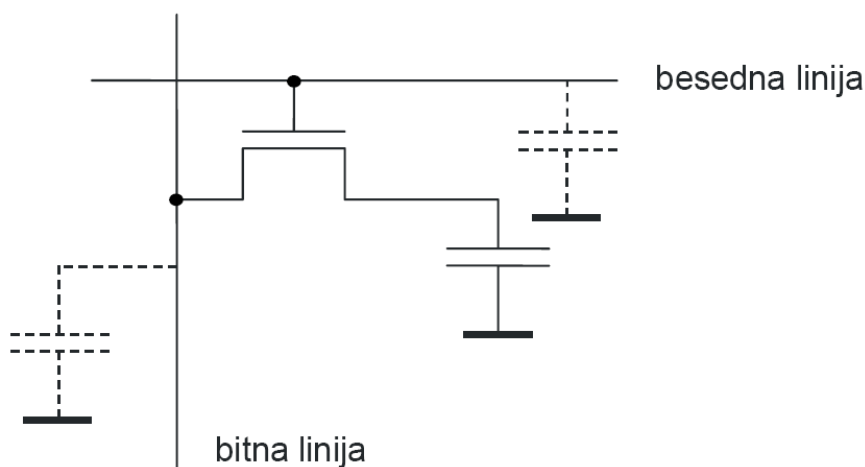
Slika 1: Pomnilniška celica CMOS SRAM. [1]



### 3.2 Dinamična pomnilniška celica

Drugače je pri dinamičnih pomnilnih celicah DRAM. Tu je informacija shranjena v obliki naboja na kondenzatorju, ki se kljub stalni napajalni napetosti zaradi zelo majhne kapacitivnosti in neidealnega dielektrika relativno hitro izprazni. (Slika 2) [3]

V osemdesetih letih 20. stoljetja so glavne pomnilnike začeli graditi z dinamičnimi CMOS-integriranimi vezji, ki jih označujemo s kratico DRAM (dinamični RAM).



Slika 2: Pomnilniška celica DRAM. [2]

### 3.3 Primerjava pomnilniških celic SRAM in DRAM

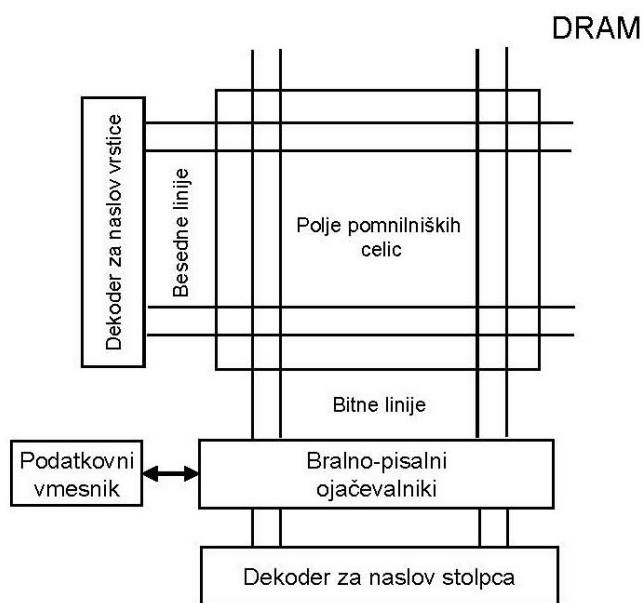
DRAM-pomnilniško celico sestavljata kondenzator in izbiralni tranzistor. Izbiralni tranzistor povezuje besedno in bitno linijo. To je razvidno na sliki 2. Če je kondenzator nabit, predstavlja logično 1, odsotnost naboja pa pomeni logično 0. Izbiralni tranzistor se krmili preko besedne linije, vezane na krmilno (*gate*) elektrodo. Besedna linija je aktivirana preko naslova vrstice z vrstičnim dekodirnikom. Kondenzator, ki je na substrat celice vezan s prostim priključkom, se bo izpraznil kljub odprtemu stikalnemu tranzistorju. Čas je pogojen z njegovo kapacitivnostjo.

Vzrok izgube vsebine je dvojen: vsak realen kondenzator zaradi neidealnega dielektrika prevaja nek minimalen (zaporni) tok, poleg tega pa ima tudi izgubni tok. Zaradi tega je

treba vsebino periodično osveževati. Zgoraj opisana celica ima v primerjavi s pomnilniško celico (SRAM) še dodatno pomanjkljivost. Tudi v primeru branja se izgubi vsebina (govorimo o pomnilniku destruktivnega tipa). Zaradi tega je treba vsebino po branju osvežiti. Bistvena prednost pomnilnika DRAM je v tem, da celica potrebuje samo en tranzistor, kot kondenzator pa je lahko uporabljena kar parazitna kapacitivnost priključkov. [2]

### 3.4 Bitna ravnina DRAM-pomnilniške celice

Pomnilniške celice so postavljene kot pravokotno polje vrstic in stolpcev, kar imenujemo tudi bitna ravnina. Na vozlišču posamezne vrstice in stolpca leži pomnilniška celica. Na tak način ima vsak bit pripadajoč naslov, ki je sestavljen iz naslova vrstice in stolpca. Zgradba bitne ravnine je prikazana na sliki 3.



Slika 3: Bitna ravnina DRAM-pomnilniške celice. [6]

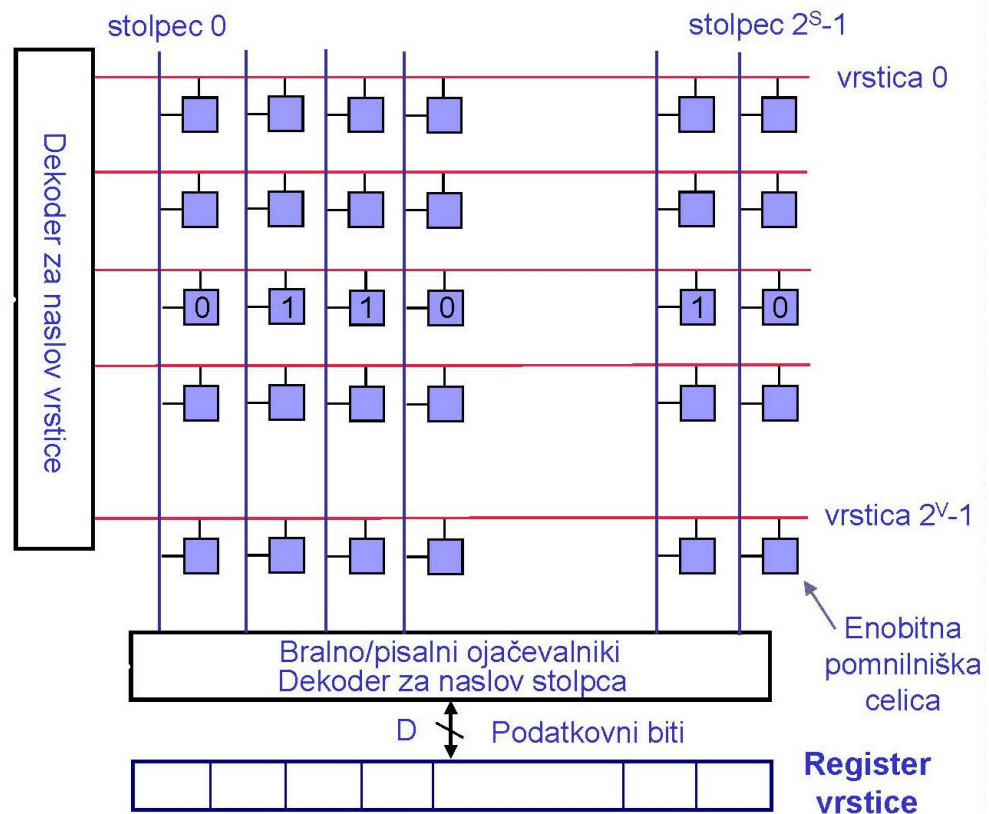
Če je treba dostopati do več bitov, potrebujemo več bitnih ravnin. Čip z arhitekturo x8 ima na primer 8 bitnih ravnin, kar pomeni, da lahko dostopamo do 8 bitov hkrati. Čip ima toliko podatkovnih signalov, kolikor ima bitnih ravnin. Posamezen podatkovni signal (bit) je povezan z eno bitno ravnino.

Ob dostopu do SRAM-a se v čip pošlje celoten pomnilniški naslov, pri dostopu do pomnilnika DRAM pa se v čip pošljejo težji oz. zgornji biti pomnilniškega naslova (naslov vrstice), zatem pa še preostali spodnji bit pomnilniškega naslova (naslov stolpca). To pa zato, ker zaradi multipleksiranih naslovov lahko zmanjšamo število nožic na čipu. Naslovne linije se namreč uporabljajo najprej za naslov vrstice, nato pa še za naslov stolpca.

Po drugi strani pa se pri čipih DRAM z naslovitvijo vrstice prenese vsebina celotne vrstice v register vrstice. Pri tem se hitrost zaradi multipleksiranja naslovnih signalov ne spremeni. Značilnost pomnilnikov DRAM je, da imajo število vrstic 8-, 16- ali tudi do 32-krat večje od števila stolpcev. Na tak način se zmanjša dolžina vrstice in poveča hitrost dostopa.

### **3.5 Register vrstice**

Dostop do bitov v isti vrstici, ki so že v registru vrstice (angl. *page mode*), je hitrejši, ker ne potrebujemo prenosa vrstice iz bitne ravnine (slika 4). To se uporablja pri prenosu bloka v predpomnilnik. Da dosežemo sosednje besede, ki so sestavni del predpomnilniškega bloka v isti vrstici, moramo za naslavljanje stolpcev uporabiti najlažje naslovne bite. Ker je branje destruktivno, se vsebina registra vrstice zapiše nazaj v vrstico v bitni ravnini. Na tak način se naenkrat osveži celotna vrstica. Ne glede na to, ali pišemo ali beremo, se ob koncu dostopa tako osveži cela vrstica. Vendar je tako osveževanje še vedno premalo pogosto, saj mora biti vsebina vsake celice osvežena vsaj na vsakih 64 ms.



Slika 4: Register vrstice DRAM-pomnilnika. [6]

### 3.6 Naslavljanje vrstice – stolpci

Dostop do pomnilniške celice se izvrši tako, da se najprej v čip pošlje naslov vrstice in se aktivira signal RAS (angl. *row address select*). Signal RAS določa, da je na naslovnih vhidih naslov vrstice. Pri tem se v register vrstice preberejo vsi biti vrstice. Posledično se kondenzatorji v celicah spraznijo, zaradi česar se vsebina vrstice izgubi. Zatem se v čip pošlje še naslov stolpca in se aktivira signal CAS (angl. *column address select*). Signal CAS določa, da je na naslovnih vhidih naslov stolpca. S tem je omogočen dostop do naslovljenega bita v registru vrstice.

Ob branju se stanje izbranega bita prenese iz registra vrstice na izhod DRAM-a, v primeru pisanja pa se stanje iz vhoda v DRAM prenese v izbrani bit vmesnega pomnilnika. Ob koncu dostopa se zapiše vsebina registra nazaj v vrstico. S tem pa se obnovijo tudi naboji kondenzatorjev pomnilniških celic.

Če imamo več bitnih ravnin v čipu, ima vsaka bitna ravnina svoj register vrstice. Da se vsebina zapiše nazaj v vrstico, traja nekaj časa (angl. *precharge time*). Naslednji dostop je možen tedaj, ko je obnavljanje vsebine končano. Register vrstice pri pomnilnikih DRAM omogoča hitrejši dostop do bitov, ki so že v registru vrstice. Temu načinu dostopa pravimo *page mode* – način dostopa do zaporednih bitov v isti vrstici.

### 3.7 Osveževanje

Ker mora biti vsebina DRAM-pomnilniške celice osvežena vsaj na vsakih 64 ms in ker osveževanje ob branju ali pisanju ni dovolj pogosto, imajo DRAM-i vgrajene tudi drugačne mehanizme za osveževanje. Eden od načinov osveževanja je cikel CAS pred RAS, pri katerem se uporablja osveževalni števec. Tega imajo vgrajenega skoraj vsi DRAM-i. Če se aktivira signal CAS pred RAS, se vsebina osveževalnega števca porabi kot naslov vrstice, ki se osveži. Standard JEDEC določa, da morajo biti vse vrstice v DRAM-u osvežene vsakih 64 ms.

Pri DRAM-u z 8192 vrsticami in periodo osveževanja 64 ms je pri porazdeljenem osveževanju potrebno osveževanje vrstic na vsakih 7,8  $\mu$ s.

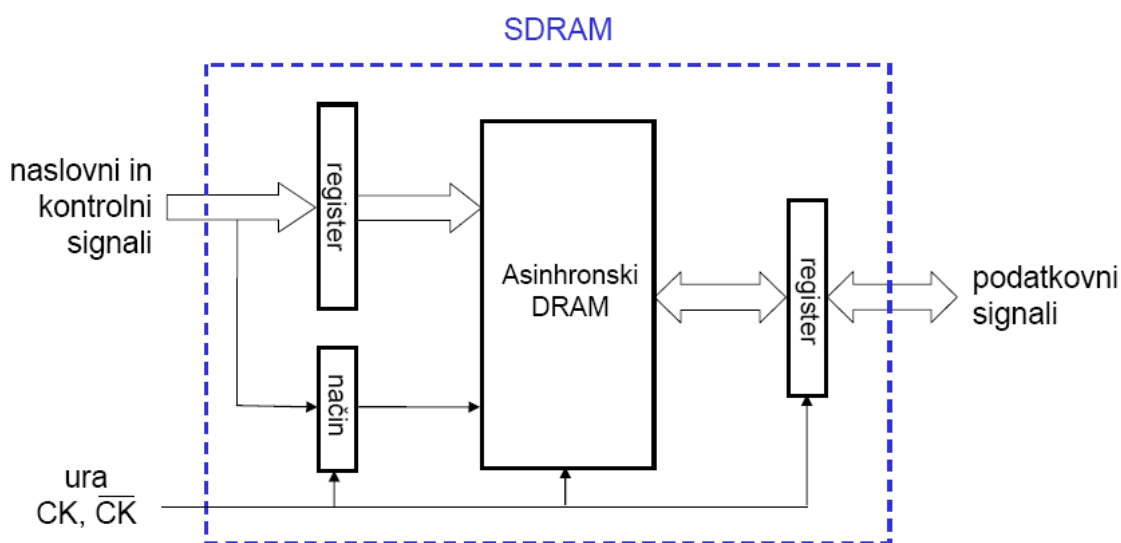
$$64 \cdot 10^{-3} \text{ s} / 8192 = 7,8 \cdot 10^{-6} \text{ s}$$

Po standardu JEDEC je za DDR2 predpisano, da čas med dvema osveževanjema ni daljši od 7,8  $\mu$ s. Če imamo čip z več kot 8192 vrsticami, moramo pri enem osveževanju osvežiti več vrstic hkrati. [3]

## 4 SINHRONSKI DINAMIČNI RAM-POMNILNIKI

Pri asinhronih DRAM-ih je vsebina prebrane podatkovne vrstice na podatkovnem vodilu na voljo le za kratek čas, ko so signali na naslovnem vodilu veljavni. V primeru pisanja pa si pomnilnik zapomni podatkovno vrstico v kratkem času, ko so na naslovnem vodilu veljavni signali. Veljavnost signalov določa pomnilniški krmilnik. DRAM-i, ki jih uporabljamo danes, se imenujejo sinhronski DRAM-i. To pa zato, ker za svoje delovanje potrebujejo urin signal.

Poimenovanje asinhronski in sinhronski DRAM-i se je pojavilo potem, ko so leta 1993 na tržišče prišli DRAM-i, oz. SDRAM-i, ki so delovali sinhrono z urinim signalom. Pred tem so se namreč uporabljali samo asinhronski DRAM-i. Poglavitna značilnost SDRAM-a ni le uvedba urinega signala, pač pa uporaba preproste oblike cevovoda, ki omogoča hitrejšo delovanje. Sinhronski DRAM ima namreč za osnovo (jedro) običajni asinhronski DRAM. Glavna razlika med DRAM-om in SDRAM-om je v tem, da lahko pri slednjem podamo zahtevo za naslednji dostop, še preden se konča prejšnji dostop. To je narejeno tako, da se asinhronskemu DRAM-u, ki je še vedno jedro pomnilnika, dodajo registri, v katere se ob aktivni fronti urinega signala najprej shranijo vsi signali (naslovni, podatkovni, kontrolni). (Slika 5)

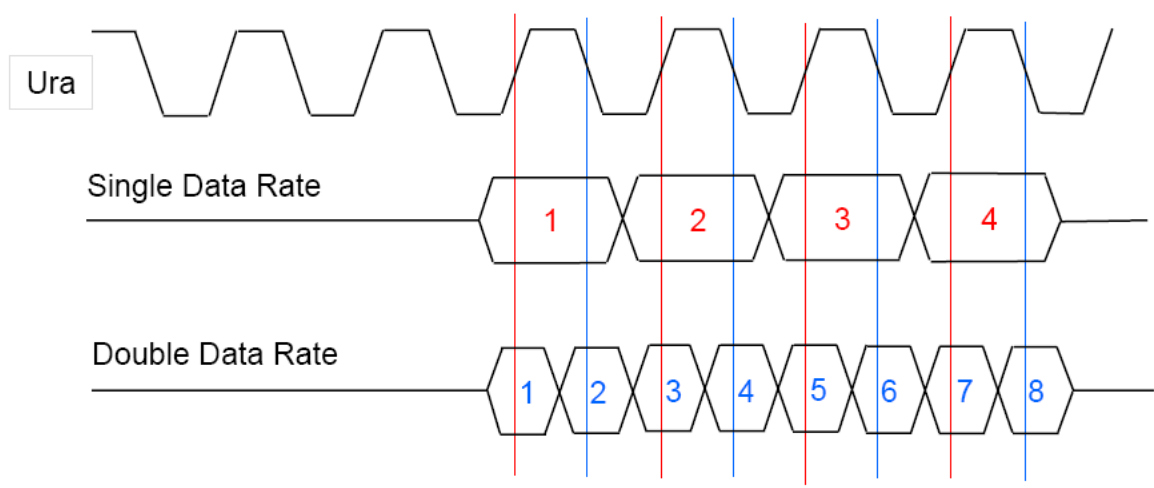


Slika 5: Sinhronski DRAM. [6]

Ti signali se uporabijo, ko se zaključi predhodna operacija DRAM-a. Čas dostopa do prvega podatka je enak kot pri asinhronskih DRAM-ih, dostopi do naslednjih zaporednih podatkov pa so bistveno hitrejši. [6], [3], [12].

#### 4.1 Enojna in dvojna hitrost prenosa podatkov

Potem ko so bili SDRAM-čipi uvedeni na tržišče, so se njihove hitrosti stalno povečevale. Oznaka DDR (angl. *double data rate*) – dvojna hitrost – pomeni, da se podatki prenašajo tako ob pozitivni kot tudi negativni fronti urinega signala, kar je razvidno s slike 6.



Slika 6: Časovni diagram SDR, DDR. [6]

Glede na to, ali je sinhronizacija prenosa glede na pozitivno in negativno fronto urinega signala, torej ločimo:

- SDR (angl. *single data rate*) – enkratna hitrost prenosa podatkov, ki pomeni prenos na pozitivno ali negativno fronto urinega signala in omogoča v eni periodi urinega signala branje ali zapis ene besede;
- DDR (angl. *duble data rate*) – dvojna hitrost prenosa podatkov, kar pomeni, da se v načinu *page mode* izvede prenos tako po pozitivni kot tudi negativni fronti urinega signala. Pomnilnik DDR je torej dinamični pomnilnik, ki deluje sinhrono in pri

katerem je prenos podatkov mogoč ob pozitivni in negativni fronti urinega signala oz. gre za dva prenosa v eni urini periodi. [3], [12].

## 4.2 Delovanje SDRAM-a

Pri delovanju SDRAM-a lahko izpostavimo štiri ključne korake oz. lastnosti, ki so opisani v nadaljevanju.

1. Bralne in pisalne dostope lahko izvedemo le do pred tem odprtih vrstic.
2. Prenos podatkov poteka s pomočjo *prefetch* registrov, ki so blizu podatkovnih signalov. S temi prenosi se delovanje SDRAM-a zelo poenostavi in pohitri. *Prefetch* registri so namreč manjši kot 0,1 % velikosti čipa. Hitrost dostopa do *prefetch* registrov je zato večja kot hitrost dostopa do registrov vrstic.
3. Vsi dostopi so eksplozijski in dolgi 4 ali 8 bitov. To pomeni, da ni možen dostop do samo enega bita. Prav tako pri 8-bitnih ravlinah ni možen dostop samo do ene 8-bitne besede. Do teh dostopov sicer pride redko, vendar mora obstajati dodatna logika v krmilniku pomnilnika, ki običajno poskrbi za to.
4. Po končanih dostopih se zaprejo vse odprte pomnilniške vrstice. [3]

Ko so dostopi končani, je treba odprto vrstico še zapreti. Hitrost SDRAM-a je torej odvisna od števila odprtih vrstic. Več odprtih vrstic dobimo, če uporabimo več čipov SDRAM.

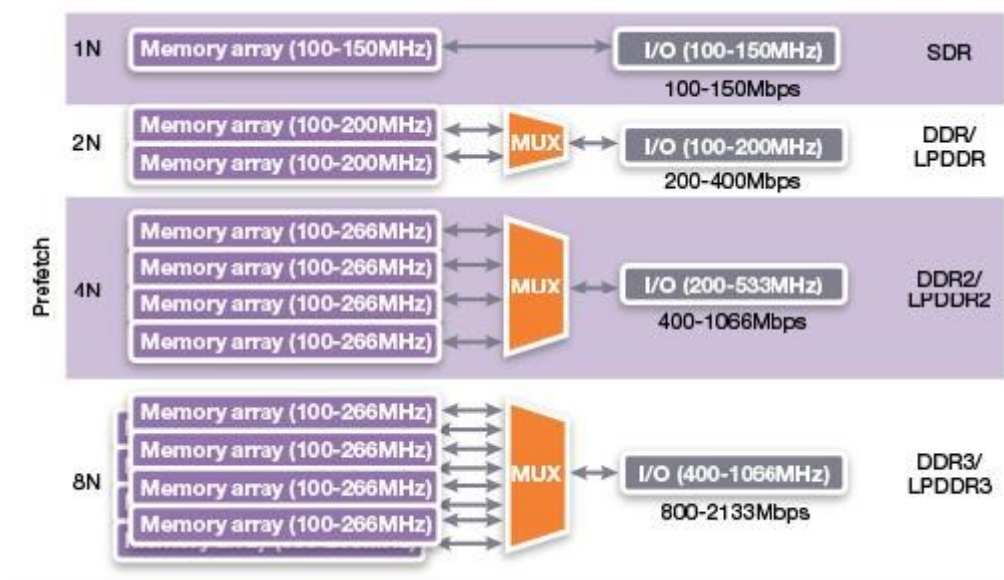
Druga možnost je, da razporedimo pomnilne celice na istem čipu tako, da tvorijo več neodvisnih delujočih pomnilnikov SDRAM. V primeru DDR2 in DDR3 je čip SDRAM razdeljen na 8 neodvisno delujočih samostojnih SDRAM-ov, ki jih imenujemo moduli (angl. *banks*). [3], [12].



### 4.3 Razvojne stopnje SDRAM-a

V dvajsetih letih, odkar je dostopen na tržišču, se je SDRAM zelo razvijal. Njegove razvojne stopnje so poimenovane po njegovih različicah, in sicer: SDR, DDR, DDR2, DDR3 ter prihajajoči DDR4. Vse te izvedbe so standardizirane s standardi organizacije JEDEC. Ker se velika večina proizvajalcev drži teh standardov, uporabniku ni treba skrbeti pri izbiri proizvajalca pomnilnika. Zaradi ekonomskih razlogov uporabljajo današnji računalniki, razen tistih najdražjih za posebne namene, DRAM kot glavni pomnilnik.

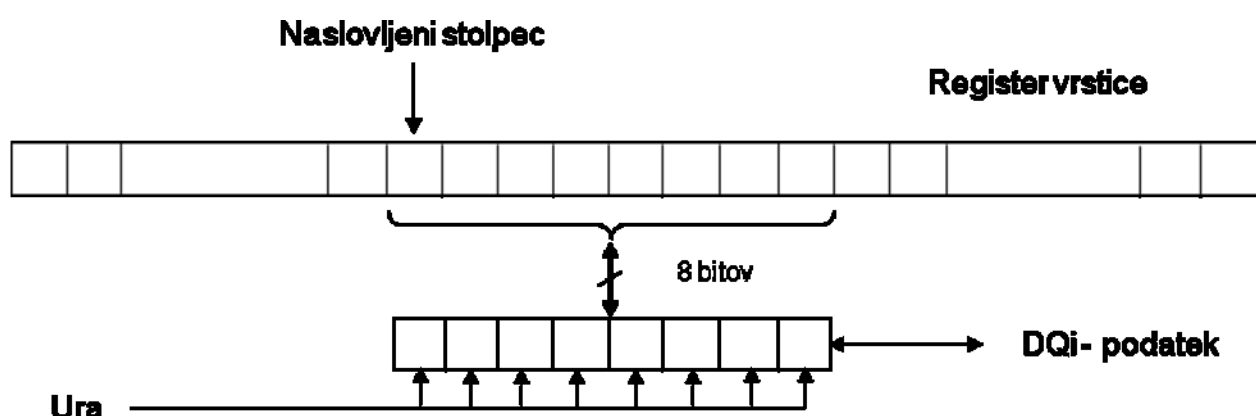
V primeru t. i. dostopa *page mode* do bitov v isti vrstici tako opazimo, da so SDRAM-i hitrejši od asinhronskih dinamičnih pomnilnikov. Tako se med prejšnjim dostopom že lahko zapiše zahteva za dostop v registre. Nekje od leta 2000 se v računalnikih uporabljajo samo še sinhronski DRAM-i. Od takrat se frekvenca ure samo povečuje in s tem tudi hitrost prenosa. Na sliki 7 je razvidno, kako se je povečevala frekvenca, na primer do 150 MHz pri pomnilniku SDR, do 200 MHz pri DDR in naprej do 533 MHz pri DDR2 in do 1055 MHz pri DDR3. S slike je razvidno tudi večanje *prefetch* registra, ki je opisan v nadaljevanju.



Slika 7: Razvojne stopnje SDRAM-ov: SDR, DDR, DDR2, DDR3. [9]

#### 4.4 Prefetch register

Skrivnost 10-kratnega povečanja hitrosti SDRAM-ov ni v tolikšnem povečanju hitrosti asinhronskega jedra – ta se v zadnjih 10 letih ni povečala za več kot 50 % – pač pa v dodajanju bitov vnaprejšnjega prenosa in eksplozijskega prenosa. SDRAM ima t. i. *prefetch* register, ki je lahko 2-, 4- ali 8-bitni register, v katerega se pri dostopu do stolpca prenesejo še dodatno 1, 3 ali 7 sosednjih bitov. Pri DDR SDRAM-ih se v *prefetch* register shranita 2 bita, pri DDR2 SDRAM-ih 4 biti, pri DDR3 in DDR4-pomnilnikih pa se v *prefetch* register shrani 8 bitov (slika 8).



Slika 8: 8-bitni *prefetch* register. [6]

Pri DDR3-pomnilniku se ob dostopu do registra vrstice pri branju poleg bita v naslovljenem stolpcu v *prefetch* register prenese še sosednjih 7 bitov. V primeru pisanja se v ta register najprej piše, zatem pa se njegova vsebina prenese v register vrstice.

*Prefetch* register se nahaja v čipu kar se da blizu nožic podatkovnih signalov, saj s tem omogoča zelo hiter dostop do njegove vsebine. Vsaka posamična bitna ravnina vsebuje svoj *prefetch* register ter register vrstice.

V splošnem so bralno-pisalni dostopi možni le preko predhodno aktiviranih (odprtih) vrstic. Vsi prenosi potekajo preko *prefetch* registrov. V okviru teh prenosov se delovanje SDRAM-a poenostavi le v dostop do *prefetch* registrov, ki predstavlja manj kot 0,1 %

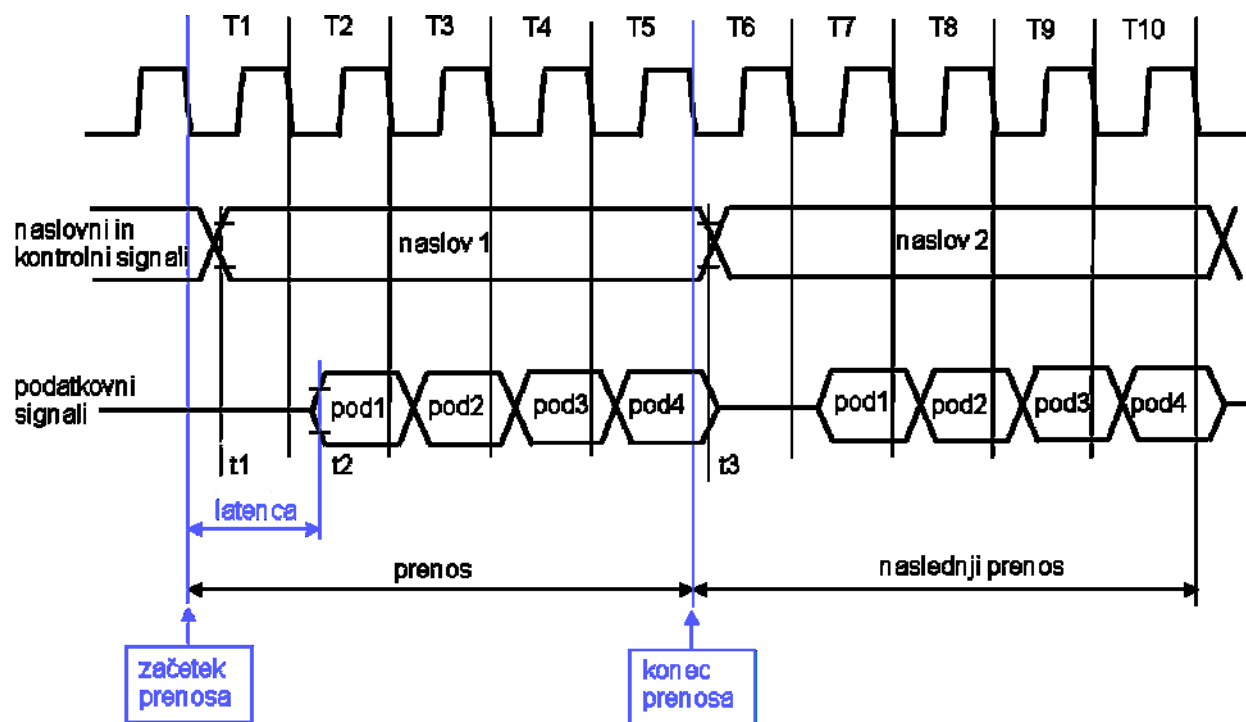
velikosti čipa. Ravno zaradi tega je hitrost dostopa do *prefetch* registrov toliko večja kot hitrost dostopa do registrov vrstic. [3]

#### 4.5 Eksplozijski prenos

Pri eksplozijskem prenosu (angl. *burst transfer*) pošljemo zahtevo za prenos in naslovne signale samo enkrat, nato pa se pošlje več podatkov v zaporedju tipično 4, 8 ali 16 na sosednjih naslovih, s čimer se bistveno poveča hitrost. K doseganju visokih hitrosti pripomore tudi to, da so prenosi sinhronski. Pri eksplozijskem prenosu ni razlike med branjem in pisanjem (razen različne smeri potovanja podatkov).

Čas od začetka prenosa do sprejema prvega podatka je enak kot pri navadnem sinhronskem prenosu; pri naslednjih podatkih v zaporedju pa je hitrost veliko večja. Čas dostopa do prvega podatka imenujemo začetna zakasnitev ali latenca. Potem lahko naslovljena enota pošilja oziroma sprejema podatke enega za drugim, Podatki zato ne potujejo nič hitreje, vendar se naslednji lahko pošlje, še preden je prejšnji prišel do cilja. Ta način prenosa je uporaben samo takrat, kadar potrebujemo zaporedja besed s sosednjih naslovov oziroma pri zamenjavah predpomnilniških blokov, ki predstavlja 90 % prenosov med CPE in glavnim pomnilnikom. Prednosti dostopa do sosednjih podatkov pomenijo za DRAM-pomnilnike bistveno krajši čas dostopa.

Primer eksplozijskega prenosa dolžine 4 prikazuje slika 9. Naslov določa prvi podatek, ostali trije pa so v zaporedju na sosednjih naslovih. Čas za prenos prvega podatka je enak  $2T$ , za ostale pa  $1T$ . Prenos se začne z aktiviranjem naslovnih in kontrolnih signalov, zaključí se ob peti negativni fronti urinega signala.



Slika 9: Eksplozijski prenos podatkov. [6]

V izjemnih primerih, ko kljub uporabi predpomnilnika želimo dostopati do enega samega bita, mora za to poskrbeti dodatna logika, ki je običajno del krmilnika pomnilnika.

Kljub temu je pri dostopu do prve pomnilniške vrstice potrebnih več urin period. (latenca na sliki 9) Pri naključnih dostopih je ta začetna zakasnitev pri vsakem podatku. V današnjih računalnikih imamo namesto glavnega pomnilnika pomnilniško hierarhijo, ki jo sestavlja več nivojev predpomnilnikov, glavni pomnilnik in navidezni pomnilnik. Predpomnilnik je razdeljen na bloke, ki ga sestavlja več sosednjih pomnilniških besed. Ob zgrešitvi v predpomnilniku krmilnik predpomnilnika zamenja blok, izbran v skladu z zamenjalno strategijo, z novim iz glavnega pomnilnika. Ker je blok zgrajen iz več sosednjih pomnilniških besed, lahko z eksplozijskim načinom dosežemo nekajkratno pohitritev prenosa. [3], [12].

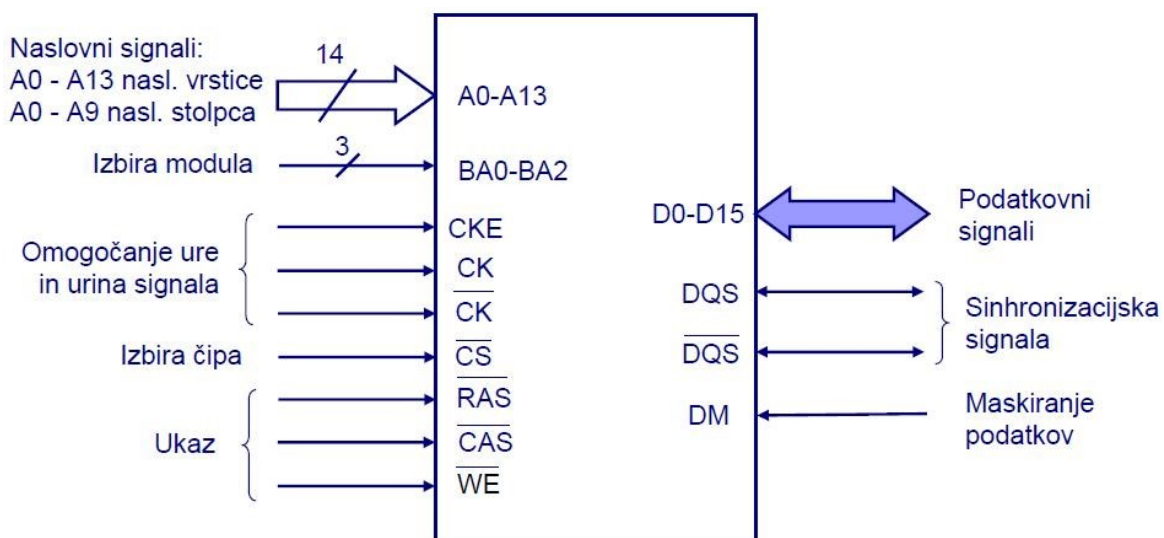
## 4.6 Povečanje hitrosti z uvedbo modulov

Hitrost dostopa bi bila lahko večja, če bi imeli v vsakem trenutku več odprtih vrstic. To bi lahko dosegli z več SDRAM-čipi ali pa z drugačno razporeditvijo pomnilniških celic, ki bi na istem čipu lahko tvorile več neodvisnih enot. Ravno to možnost s pridom izkoriščajo DDR SDRAM-i. DDR2 in DDR3-čip lahko razumemo kot 8 neodvisno delujočih SDRAM-ov, ki jim z drugo besedo pravimo moduli (angl. *banks*).

Za primer vzemimo 2Gb DDR2-čip organizacije x8. Sestavljen je iz 8 modulov velikosti 32Mx8. Vsak posamezen modul vsebuje vrstice velikosti 1024 x 8. V primeru organizacije x16 gre za 8 modulov velikosti 16Mx16 (vrstica 1024 x 16). [3]

## 4.7 Opis signalov

Na sliki 10 so prikazani signali 2Gb DDR2 SDRAM-a, ki ima 8 modulov organizacije 16Mx16.



Slika 10: Signali 2Gb DDR2 SDRAM-a. [6]

Posamezni signali imajo naslednji pomen [3]:

**CK, -CK (vhod)** – ura. Urin signal je diferencialen in je sestavljen iz dveh komplementarnih signalov. Diferencialni signal zmanjša občutljivost na motnje ter poveča zanesljivost delovanja.

**CKE (vhod)** – signal, za omogočanje ure. Ko je signal CKE v nizkem stanju, to pomeni tako izklop urinega signala kot tudi vodnih in izhodnih ojačevalnikov na čipu. Če je CKE nizek, gre čip v stanje varčevanja z energijo. V stanju normalnega delovanja je CKE v visokem stanju.

**-CS (vhod)** – signal, za izbiro čipa. Visoko stanje tega signala pomeni, da čip ni izbran in posledično se vsi ukazi ignorirajo. Ta signal je pomemben predvsem takrat, ko je pomnilnik grajen z več čipi.

**-RAS, -CAS, -WE (vhodi)** – ukaz. S temi signali se (skupaj s -CS) definira ukaz, ki ga prevzame SDRAM ob pozitivni fronti CK.

**-BA0-BA2 (vhodi)** – signali, ki določajo naslov modula oz. enega od osmih modulov, na katerega se nanaša ukaz.

**-A0-A13 (vhodi)** – naslov stolpca ali vrstice.

**-DQ0-DQ15 (dvosmerni)** – podatkovni signali.

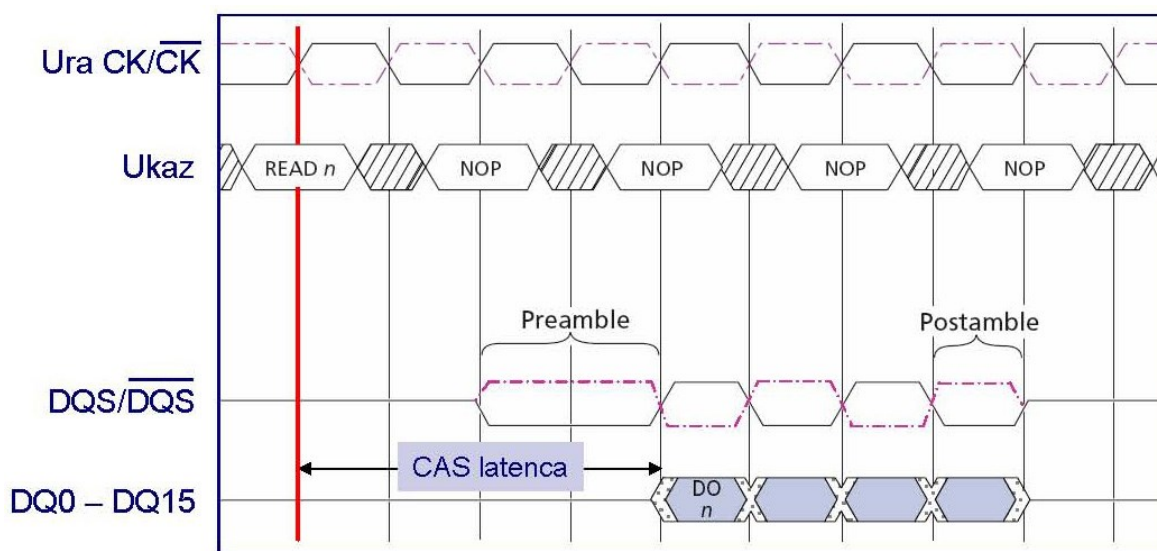
**-DQS, -DQS (dvosmerni)** – diferencialni sinhronizacijski signal, ki se uporablja za prenos podatkov. V primeru branja sta signala DQS in -DQS izhoda, v primeru pisanja pa vhoda.

**-DM (vhod)** – signal, ki označuje maskiranje podatkov. V primeru visokega stanja tega signala se podatek DQ0 -DQ7 ne zapiše v SDRAM. ([3])

#### **4.8 Časovni diagram pri branju in opis časovnih parametrov**

Pri branju in pisanju je vedno najprej treba odpreti vrstico. Na začetku urine periode T0 dobi SDRAM ukaz za branje vrstice (READ A). (Slika 11) V ukazu se nahaja naslov stolpca, ki določa prvi podatek v registru vrstice. Po začetni zakasnitvi treh urinih period (CL) se na podatkovnih signalih DQ0 – DQ7 (pri organizaciji x8) pojavijo štirje 8-bitni podatki. Ti štirje podatki prihajajo eden za drugim z dvojno hitrostjo ure (ob pozitivni in

negativni fronti – DDR). Začetna zakasnitev CL se imenuje tudi CAS-latenca. Naslednji ukaz je možno izstaviti še pred zaključkom predhodnega ukaza. V primeru dostopanja do naslovov, ki so v odprtih vrsticah (v kateremkoli od osmih modulov), je branje in pisanje možno brez presledkov. [3]



Slika 11: Sinhronski DDR2 SDRAM – časovni diagram pri branju. [3]

Na sliki 12 so prikazani najpomembnejši ukazi pri DDR2 SDRAM-u. Pri SDRAM-ih vsaka kombinacija signalov CS, RAS CAS WE pomeni določen ukaz. Ob pozitivni fronti ure CK pomenijo signali na vseh CS, RAS, CAS WE, BA0-BA2 in A0-A14 ukaz. Če je pri signalu vrednost X, pomeni, da ukaz tega signala ne uporablja. Signali BA določajo enega od osmih modulov. Pri ukazih »branje« in »pisanje« signal A10=H določa avtomatsko zapiranje vrstice po koncu branja oziroma pisanja. Če je A10=L, je potrebno vrstico zapreti z enim od dveh ukazov: prvi zapre vrstico v izbranem modulu, drugi pa zapre vse odprte vrstice. Osveževanje se realizira za vse module hkrati, naslov vrstice se nahaja v osveževalnem števcu, ki je vgrajen v SDRAM-čip.

| Ukaz                                | $\overline{CS}$ | $\overline{RAS}$ | $\overline{CAS}$ | $\overline{WE}$ | BA0-BA2 | A0-A14         |
|-------------------------------------|-----------------|------------------|------------------|-----------------|---------|----------------|
| Odpiranje vrstice                   | L               | L                | H                | H               | BA      | Naslov vrstice |
| Branje                              | L               | H                | L                | H               | BA      | Naslov stolpca |
| Pisanje                             | L               | H                | L                | L               | BA      | Naslov stolpca |
| NOP                                 | L               | H                | H                | H               | X       | X              |
| Zapiranje vrstice                   | L               | L                | H                | L               | BA      | A10=L          |
| Zapiranje vseh vrstic               | L               | L                | H                | L               | X       | A10=H          |
| Osveževanje                         | L               | L                | L                | H               | X       | X              |
| Pisanje v register načina delovanja | L               | L                | L                | L               | BA      | Op.koda        |

Slika 12: Ukazi pri DDR2 SDRAM-ih. [3]

Ob predpostavki, da je v modulu 32K-vrstic in da je potrebno pomnilniške celice osvežiti na 64 ms ter zahtevi JEDEC standarda, da povprečen čas med dvema osveževanjema ni daljši od 7,8  $\mu$ s, to pomeni, da morajo proizvajalci čipov pri organizaciji x16 ob enem osveževanju osvežiti 2 vrstici, pri x8 in x4 pa 4 vrstice.

Ker ima SDRAM-pomnilnik sinhronsko zgradbo, se časovni parametri podajajo v številu urinih period v obliki, kot je npr.

$$3 - 3 - 3 - 8$$

Številke tu pomenijo urine periode in ustrezajo naslednjim parametrom:

$$t_{CL} - t_{RCD} - t_{RP} - t_{RAS}$$

Če so namesto štirih navedeni samo trije parametri, to pomeni, da je parameter  $t_{RAS}$  izpuščen. Pomen parametrov je naslednji:

$t_{CL}$  (*CAS latency*) – Ta parameter se označuje tudi kot CL. Omenili smo ga na sliki 11 in pomeni število urinih period, ki pretečejo od istavitve ukaza za branje ali pisanje, do zapisa prvega podatka iz signala DQ v register vrstice pri pisanju oziroma do pojava prvega podatka na signalih DQ pri branju.

$t_{RCD}$  (*RAS to CAS delay*) – To je čas od izstavitve ukaza za odpiranje vrstice do zapisa vsebine vrstice v register vrstice. Pri prvem dostopu do vsebine vrstice je čas za dostop do prvega podatka najmanj  $t_{CL} + t_{RCD}$ .

$t_{RP}$  (*row precharge*) – Pomeni najmanjši čas, ki ga potrebujemo za zapiranje vrstice. Pred odpiranjem vsake nove vrstice moramo trenutno vrstico zapreti, ker se v nasprotnem primeru podatki lahko izgubijo.



$t_{RAS}$  (*row active to precharge*) – To je najmanjši čas, ki preteče od ukaza za odpiranje vrstice do zapiranja te vrstice. Je daljši čas kot  $t_{CL} + t_{RCD}$ , ker je vzpostavitev napetostnih nivojev pri pisanju vrstice potreben sorazmerno dolg čas.

$t_{RC}$  - Čas cikla je pomemben parameter, ki določa najmanjši čas, ki mora preteči od odpiranja vrstice do odpiranja naslednje vrstice v istem modulu.

Časovni parametri so v podatkih proizvajalcev podani v nanosekundah zaradi asinhronskega jedra. Število urinih period pa je določeno tako, da se delijo z urino periodo in zaokrožijo navzgor. [3]

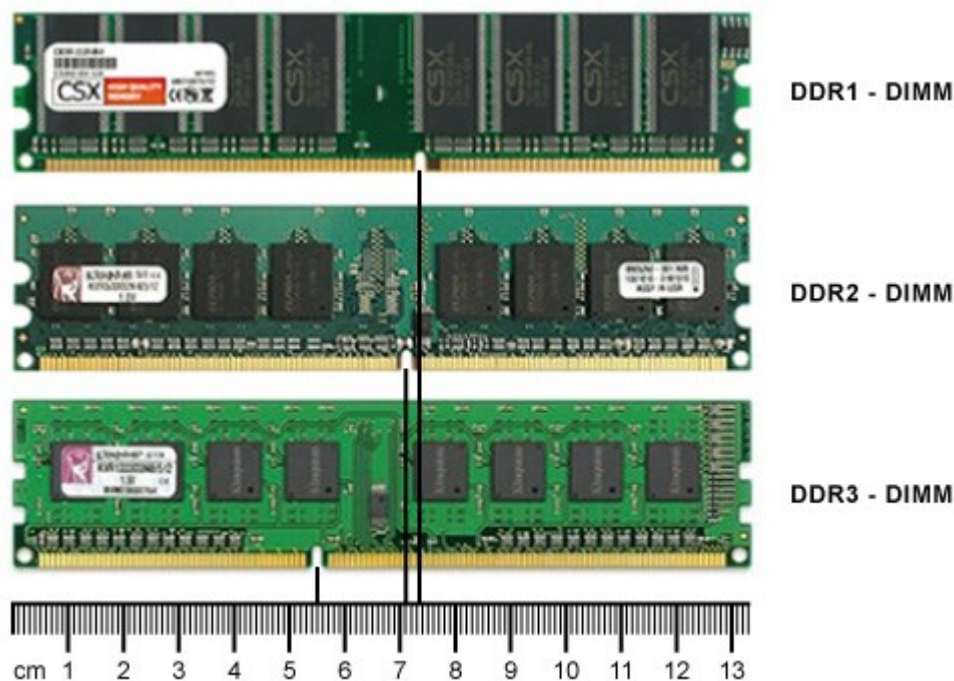
## 4.9 Zgradba pomnilniških modulov

### SIPP-pomnilniški moduli

Pomnilniške module SIPP (angl. *single in line pin package*) so začeli izdelovati že v osemdesetih letih 20. stoletja. Znani so bili po krhkih nožicah, razporejenih v vrsto, ki so se izkazale za zelo nepraktične. Prav zaradi tega so SIPP-module kmalu zamenjali SIMM-module (angl. *single in line memory module*), ki imajo kontakte neposredno na tiskanem vezju. Zaradi velikosti pomnilnikov pa je raslo tudi število kontaktov za priklop. [12]

### DIMM-pomnilniški moduli

SDRAM-i so najbolj poznani v obliki DIMM-modulov (angl. *dual in-line memory module*). DIMM-i so standardizirana tiskana vezja, predpisanih velikosti, ki se uporabljajo v različnih vrstah računalnikov. Na sliki 13 je razviden razvoj DIMM-pomnilnikov od SDRAM-a DDR1 do DDR4. Jasno razvidno je, da je vsaka generacija DIMM-a zasnovana malce drugače in je za to ni mogoče zamenjati.



Slika13: DIMM-moduli pri pomnilnikih DDR. [8]

Razvoj DIMM-ov se je prilagajal razvoju SDRAM-ov. Na sliki 14 so prikazane lastnosti DDR SDRAM-ov od leta 1997 do 2014. Tu lahko vidimo oznako DIMM-a, oznako pomnilniškega čipa, napajalno napetost, frekvenco ure v MHz, hitrost pomnilnika v Gb/s, število nožic na podnožju ter leto izdelave pomnilnika. Lastnost DIMM-ov je določena s SDRAM-om, ki je na njem. DIMM-i DDR2 ter DDR3 imajo 240 priključnih nožic ter velikost do 2 GB, pri DDR4 pa je nožic 284. Dandanes obstajajo tudi izboljšane različice DIMM-ov z oznakami RDIMM ter LRDIMM. RDIMM-pomnilniški moduli manj obremenjujejo izhode SDRAM-ov, LRDIMM-i pa omogočajo manj interferenc, večjo velikost in hitrost pomnilnikov. [3]

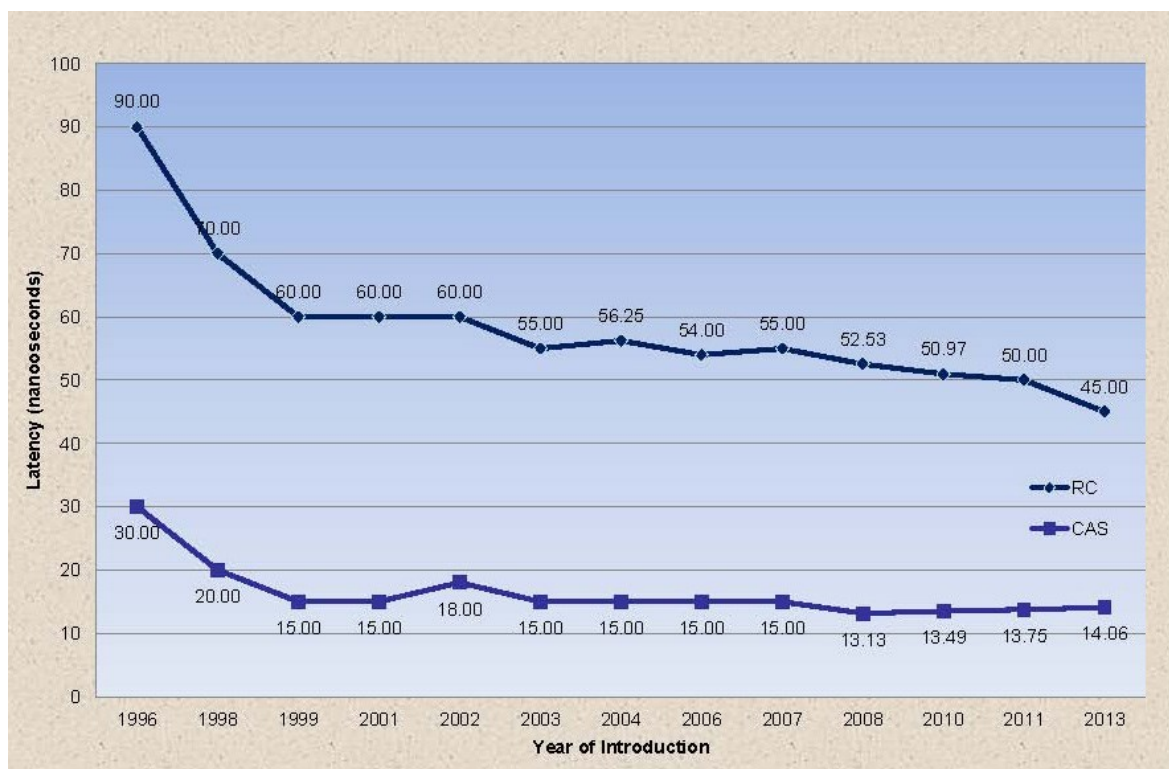
| Pomn.modul            | Pomn.čip     | Napetost       | Frekvenca    | Pasovna širina | Vodilo                    | Število kontaktov | Leto |
|-----------------------|--------------|----------------|--------------|----------------|---------------------------|-------------------|------|
| <b>PC66</b>           | PC66 (SDR)   | 3,3 V          | 66 MHz SDR   | ~ 0,49 GByte/s | FSB100                    | 168 (SO: 144)     | 1997 |
| <b>PC100</b>          | PC100 (SDR)  | 3,3 V          | 100 MHz SDR  | 0,8 GByte/s    | FSB100                    | 168 (SO: 144)     | 1998 |
| <b>PC133 / PC1066</b> | PC133 (SDR)  | 3,3 V          | 133 MHz SDR  | 1,066 GByte/s  | FSB133                    | 168 (SO: 144)     | 2000 |
| <b>PC150</b>          | PC150 (SDR)  | 3,3 V          | 150 MHz SDR  | -              | FSB150 / FSB75            | 168 (SO: 144)     | ?    |
| <b>PC1600 / PC200</b> | DDR200 (DDR) | 2,5 V          | 100 MHz DDR  | 1,6 GByte/s    | FSB200 / FSB100           | 184 (SO: 200)     | ?    |
| <b>PC2100 / PC266</b> | DDR266 (DDR) | 2,5 V          | 133 MHz DDR  | 2,1 GByte/s    | FSB266 / FSB522 (2-Kanal) | 184 (SO: 200)     | 2001 |
| <b>PC2700 / PC333</b> | DDR333 (DDR) | 2,5 V          | 166 MHz DDR  | 2,7 GByte/s    | FSB333 / FSB667 (2-Kanal) | 184 (SO: 200)     | 2001 |
| <b>PC3200</b>         | DDR400 (DDR) | 2,6/2,9 V      | 200 MHz DDR  | 3,2 GByte/s    | FSB400 / FSB800 (2-Kanal) | 184 (SO: 200)     | 2003 |
| <b>PC2-3200</b>       | DDR2-400     | 1,8 V          | 200 MHz DDR  | 3,2 GByte/s    | FSB800 (2-Kanal)          | 240 (SO: 200)     | 2004 |
| <b>PC2-4200</b>       | DDR2-553     | 1,8 V          | 233 MHz DDR  | 4,2 GByte/s    | FSB1066 (2-Kanal)         | 240 (SO: 200)     | 2004 |
| <b>PC2-5300</b>       | DDR2-667     | 1,8/2,0 V      | 333 MHz DDR  | 5,3 GByte/s    | FSB1333 (2-Kanal)         | 240 (SO: 200)     | 2005 |
| <b>PC2-6400</b>       | DDR2-800     | 1,8/2,1 V      | 400 MHz DDR  | 6,400 GByte/s  | FSB1600 (2-Kanal)         | 240 (SO: 200)     | 2005 |
| <b>PC2-8500</b>       | DDR2-1066    | 1,8 V          | 533 MHz DDR  | 8,528 GByte/s  | -                         | 240 (SO: 200)     | ?    |
| <b>PC3-6400</b>       | DDR3-800     | 1,5 V (1,35 V) | 400 MHz DDR  | 6,400 GByte/s  | -                         | 240 (SO: 200)     | ?    |
| <b>PC3-8500</b>       | DDR3-1066    | 1,5 V (1,35 V) | 533 MHz DDR  | 8,528 GByte/s  | -                         | 240 (SO: 200)     | ?    |
| <b>PC3-10600</b>      | DDR3-1333    | 1,5 V (1,35 V) | 666 MHz DDR  | 10,667 GByte/s | -                         | 240 (SO: 200)     | ?    |
| <b>PC3-12800</b>      | DDR3-1600    | 1,5 V          | 800 MHz DDR  | 12,800 GByte/s | -                         | 240 (SO: 200)     | ?    |
| <b>PC3-14900</b>      | DDR3-1866    | 1,5 V          | 933 MHz DDR  | 14,933 GByte/s | -                         | 240 (SO: 200)     | ?    |
| <b>PC3-17000</b>      | DDR3-2133    | 1,5 V          | 1066 MHz DDR | 17,066 GByte/s | -                         | 240 (SO: 200)     | ?    |
| <b>PC4-12800</b>      | DDR4-1600    | 1,2 V          | 800 MHz DDR  | 12,800 GByte/s | -                         | 284 (SO: 256)     | 2014 |
| <b>PC4-14900</b>      | DDR4-1866    | 1,2 V          | 933 MHz DDR  | 14,933 GByte/s | -                         | 284 (SO: 256)     | 2014 |
| <b>PC4-17000</b>      | DDR4-2133    | 1,2 V          | 1066 MHz DDR | 17,066 GByte/s | -                         | 284 (SO: 256)     | 2014 |
| <b>?</b>              | DDR4-2400    | 1,2 V          | 1200 MHz DDR | ?              | -                         | 284 (SO: 256)     | 2014 |

Slika 14: Primerjava lastnosti pomnilnikov DDR, DDR2, DDR3, DDR4. [8]

## 5. STANDARD SDRAM DDR4

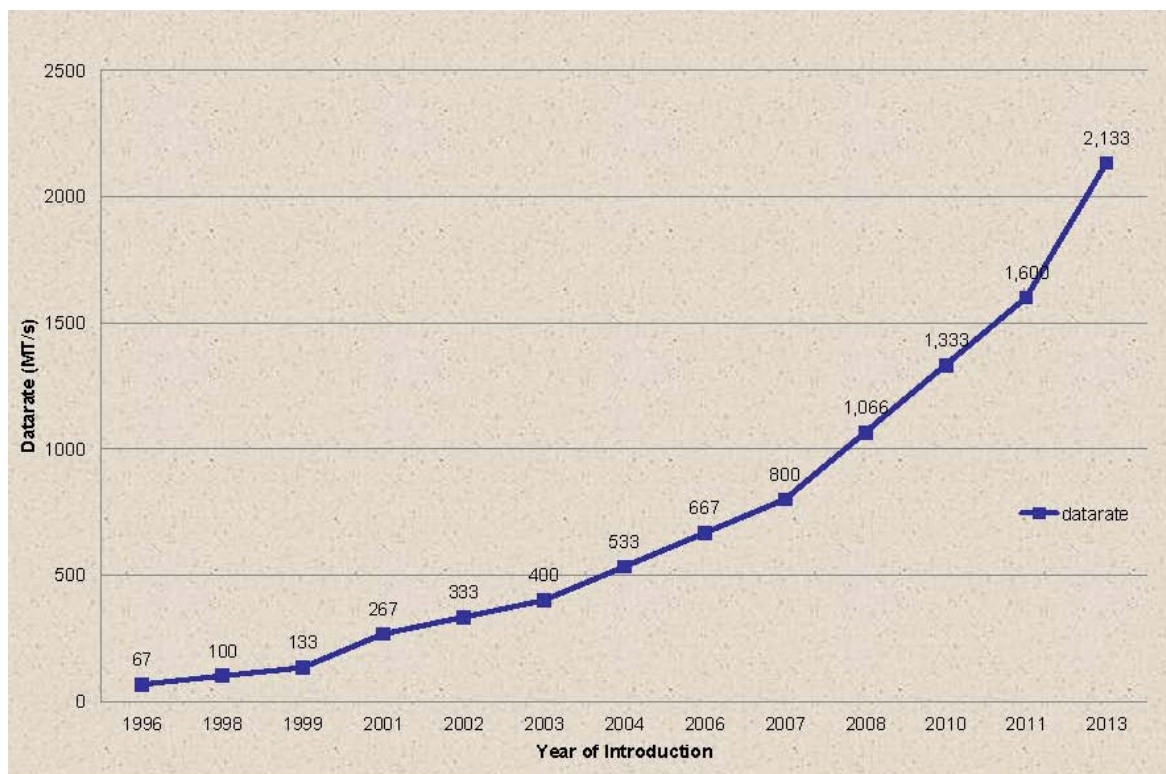
Potreba po hitrejših pomnilnikih izvira predvsem iz razvoja procesorjev, ki imajo vedno več jeder in omogočajo strojno večnitnost. Organizacija JEDEC je septembra 2012 objavila dolgo pričakovani standard DDR4 SDRAM, imenovan JESD79-4. Gre za obsežen dokument, ki podrobno opisuje pomnilnik DDR4. Namen standarda ni bil, da bi vseboval podrobnosti izdelave oz. prednosti tehnologije na sistemski ravni. Zato si mora uporabnik sam odgovoriti na vprašanje, kaj je bilo temeljno vodilo za ta standard.

Ker imajo procesorji čedalje več jeder, procesi pa čedalje več niti, potrebujemo tudi hitrejši in večji glavni pomnilnik. Zato je tudi trend razvoja pri pomnilnikih v tem, da se latenca oz. zakasnitev čimbolj zmanjša, kar kaže graf na sliki 14 a.



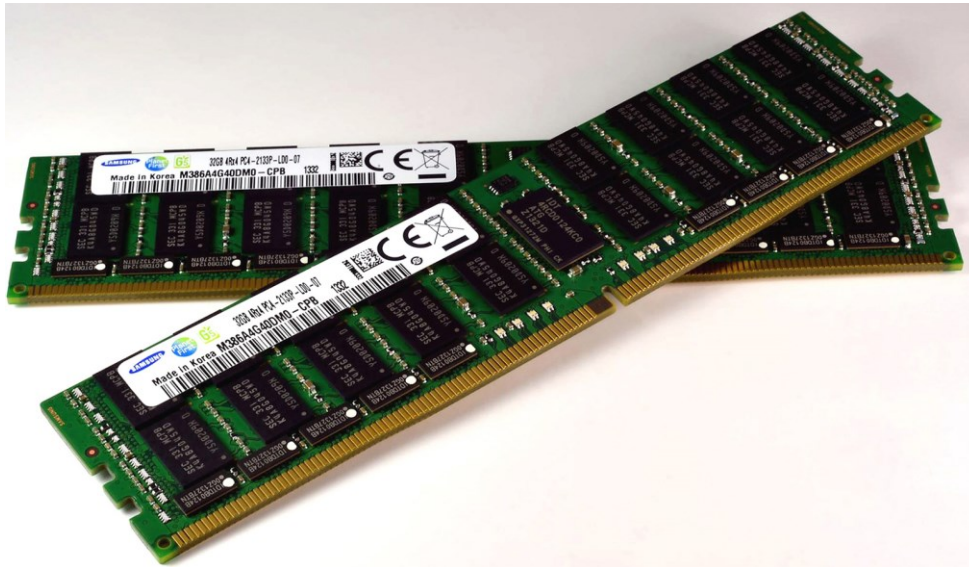
Slika 14 a: Zakasnitev do prvega dostopa in čas celotnega cikla. [8]

Pomnilnik DDR4 nadgrajuje generacijo pomnilnikov DDR3 v smislu povečanja kapacitete, nadgradljivosti, zmogljivosti (hitrejši dostopi), manjše porabe energije ter zanesljivosti na sistemski ravni.



Slika 14 b: Naraščanje hitrosti prenosa v milijonih prenosov na sekundo. [8]

Trend rasti hitrosti pomnilnika je lepo razviden iz grafa na sliki 14 b, ki zajema leta od 1996 do 2013. Hkrati pa mora biti pomnilnik DDR4 kar v največji meri združljiv s preteklimi tehnologijami, da bi bilo težav pri prehodu čim manj. Na sliki 15 je prikazan DIMM modul pomnilnika DDR4. [10]

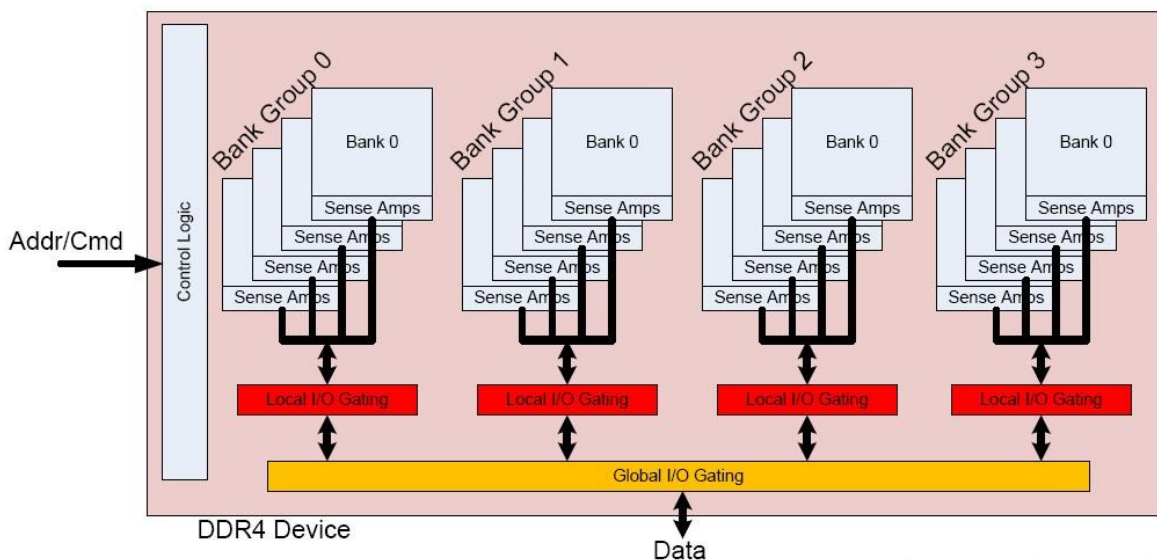


Slika 15: DIMM-pomnilniška modula DDR4. [10]

### 5.1 Izboljšanje zmogljivosti, nadgradljivost in povečanje pomnilniške kapacitete

Skrita, vendar pomembna novost pri pomnilniku DDR4 je v tem, da je notranja organizacija drugačna kot pri DDR3. Zasnovan je za uporabo z zmogljivimi večjedrnimi procesorji. Zgradba 8-Gb DDR4 SDRAM-a s 4-bitnim podatkovnim vmesnikom (x4) je na primer organizirana tako, da imamo 4 skupine modulov s po štirimi moduli v vsaki skupini. V vsakem modulu je  $131.072 \cdot 2^{17}$  pomnilniških vrstic s 512 bajti v posamezni vrstici. V primerjavi s starejšim pomnilnikom DDR3 8 Gb x 4, ki ima 8 neodvisnih modulov s po  $65536 \cdot 2^{16}$  pomnilniškimi vrsticami in 2048 bajti v vrstici, ima 8 Gb x4 DDR4 SDRAM več modulov. Poleg tega ima tudi veliko krajše pomnilniške vrstice kot njegova starejša različica, kar omogoča, da je lahko pomnilniški bralno-pisalni cikel preko različnih modulov mnogo hitrejši kot pri DDR3.





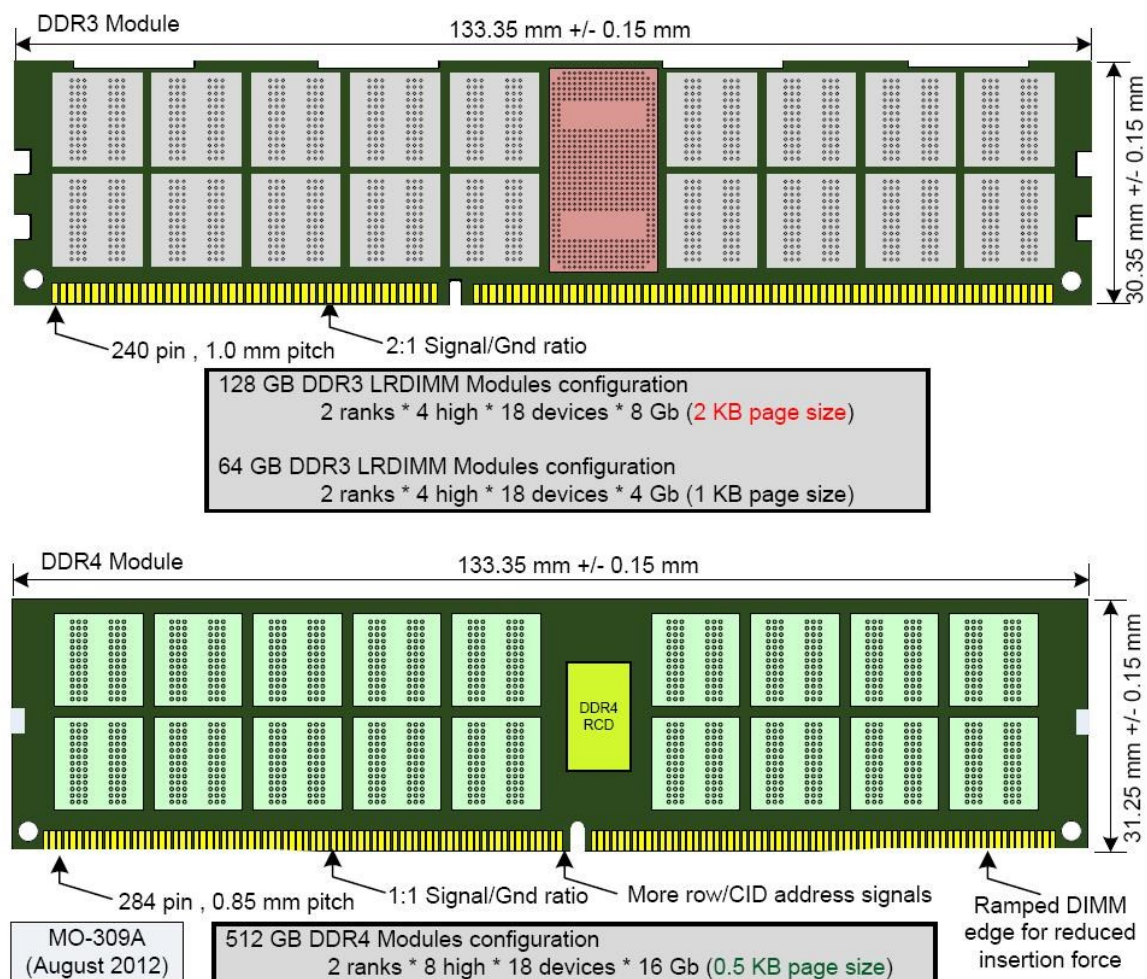
Slika 16: Zgradba pomnilniških modulov SDRAM DDR4. [8]

V splošnem ima pomnilniški modul DDR4 več pomnilniških modulov in krajše pomnilniške vrstice. Pomnilnik DDR4 uporablja kar 16 modulov (štiri skupine s po štirimi moduli znotraj posamezne skupine), kar kaže slika 16. Organizacija in dolžine vrstic pri posameznih razvojnih stopnjah je razvidna na sliki 17. Prav krajše vrstice omogočajo pomnilniku DDR4 višje hitrosti in manjšo porabo energije.

|      | Density  | 128 Mb |    |     | 256 Mb |    |     | 512 Mb |    |     | 1 Gb |    |     | 2 Gb |    |     | 4 Gb |    |     | 8Gb |    |     | 16 Gb |    |     | Units |
|------|----------|--------|----|-----|--------|----|-----|--------|----|-----|------|----|-----|------|----|-----|------|----|-----|-----|----|-----|-------|----|-----|-------|
|      | Width    | x4     | x8 | x16 | x4     | x8 | x16 | x4     | x8 | x16 | x4   | x8 | x16 | x4   | x8 | x16 | x4   | x8 | x16 | x4  | x8 | x16 | x4    | x8 | x16 |       |
| DDR  | Banks    | 4      | 4  | 4   | 4      | 4  | 4   | 4      | 4  | 4   | 4    | 4  | 4   |      |    |     |      |    |     |     |    |     |       |    |     |       |
|      | Rows     | 12     | 12 | 12  | 13     | 13 | 13  | 13     | 13 | 13  | 14   | 14 | 14  |      |    |     |      |    |     |     |    |     |       |    |     |       |
|      | Row Size | 1      | 1  | 1   | 1      | 1  | 1   | 2      | 2  | 2   | 2    | 2  | 2   |      |    |     |      |    |     |     |    |     |       |    |     | KB    |
| DDR2 | Banks    |        |    |     | 4      | 4  | 4   | 4      | 4  | 4   | 8    | 8  | 8   | 8    | 8  | 8   | 8    | 8  | 8   |     |    |     |       |    |     |       |
|      | Rows     |        |    |     | 13     | 13 | 13  | 14     | 14 | 13  | 14   | 14 | 13  | 15   | 15 | 14  | 16   | 16 | 15  |     |    |     |       |    |     |       |
|      | Row Size |        |    |     | 1      | 1  | 1   | 1      | 1  | 2   | 1    | 1  | 2   | 1    | 1  | 2   | 1    | 1  | 2   |     |    |     |       |    |     | KB    |
| DDR3 | Banks    |        |    |     |        |    |     | 8      | 8  | 8   | 8    | 8  | 8   | 8    | 8  | 8   | 8    | 8  | 8   | 8   | 8  | 8   |       |    |     |       |
|      | Rows     |        |    |     |        |    |     | 13     | 13 | 12  | 14   | 14 | 13  | 15   | 15 | 14  | 16   | 16 | 15  | 16  | 16 | 16  |       |    |     |       |
|      | Row Size |        |    |     |        |    |     | 1      | 1  | 2   | 1    | 1  | 2   | 1    | 1  | 2   | 1    | 1  | 2   | 2   | 2  | 2   |       |    |     | KB    |
| DDR4 | Banks    |        |    |     |        |    |     |        |    |     |      |    |     | 16   | 16 | 8   | 16   | 16 | 8   | 16  | 16 | 8   | 16    | 16 | 8   |       |
|      | Rows     |        |    |     |        |    |     |        |    |     |      |    |     | 15   | 14 | 14  | 16   | 15 | 15  | 17  | 16 | 16  | 18    | 17 | 17  |       |
|      | Row Size |        |    |     |        |    |     |        |    |     |      |    |     | 0.5  | 1  | 2   | 0.5  | 1  | 2   | 0.5 | 1  | 2   | 0.5   | 1  | 2   | KB    |

Slika 17: Organizacija DDR-pomnilnikov. [8]

Ko primerjamo pomnilniško arhitekturo DDR3 LRDIMM in DDR4 RDIMM, se izkaže, da je mogoče zgraditi največji pomnilniški modul z DDR3 SDRAM-i s tako imenovanimi štiriplastnimi čipi (angl. *QDP quad die packages*) po 8Gb x 4, s čimer dosežemo teoretično največjo kapaciteto 128 GB na posameznem pomnilniškem modulu (slika 18).



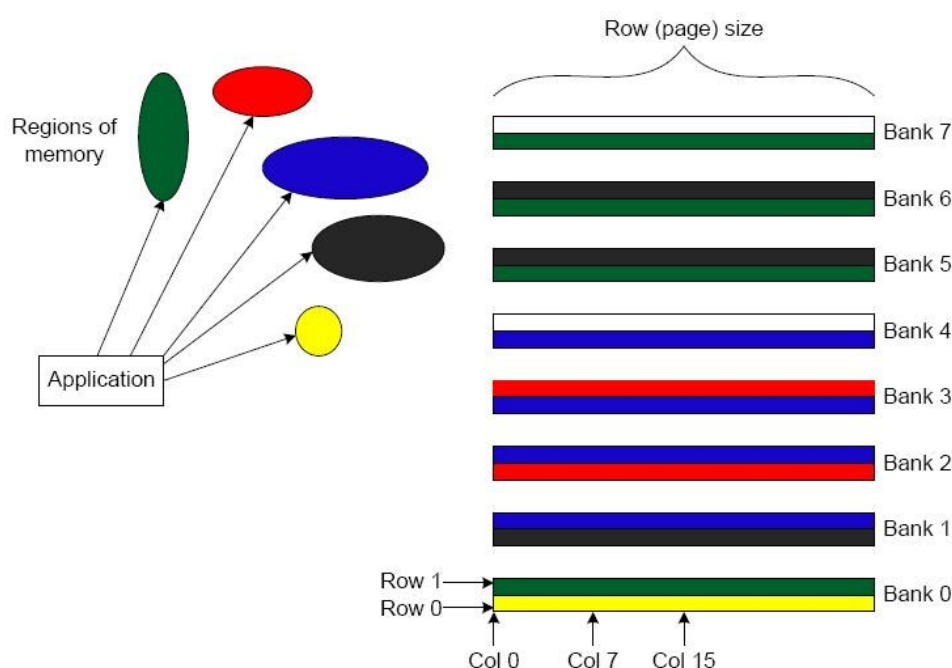
Slika 18: Primerjava DIMM-pomnilniških modulov DDR3 in DDR4. [8]

Slika 18 prikazuje tudi to, da lahko pomnilniški modul DDR4 RDIMM zgradimo z osmimi DRAM-skladi, kar nam teoretično kapaciteto dvigne na zavirljivih 512 GB na posamezen pomnilniški modul. Pri pomnilniškem modulu DDR4 so povečali število kontaktov na 284 in zmanjšali razdaljo med kontakti iz 1,0 mm na 0,85 mm. To omogoča večji naslovni prostor in več ozemljitvenih kontaktov, tako da je na podatkovnem vodilu (DQ) med



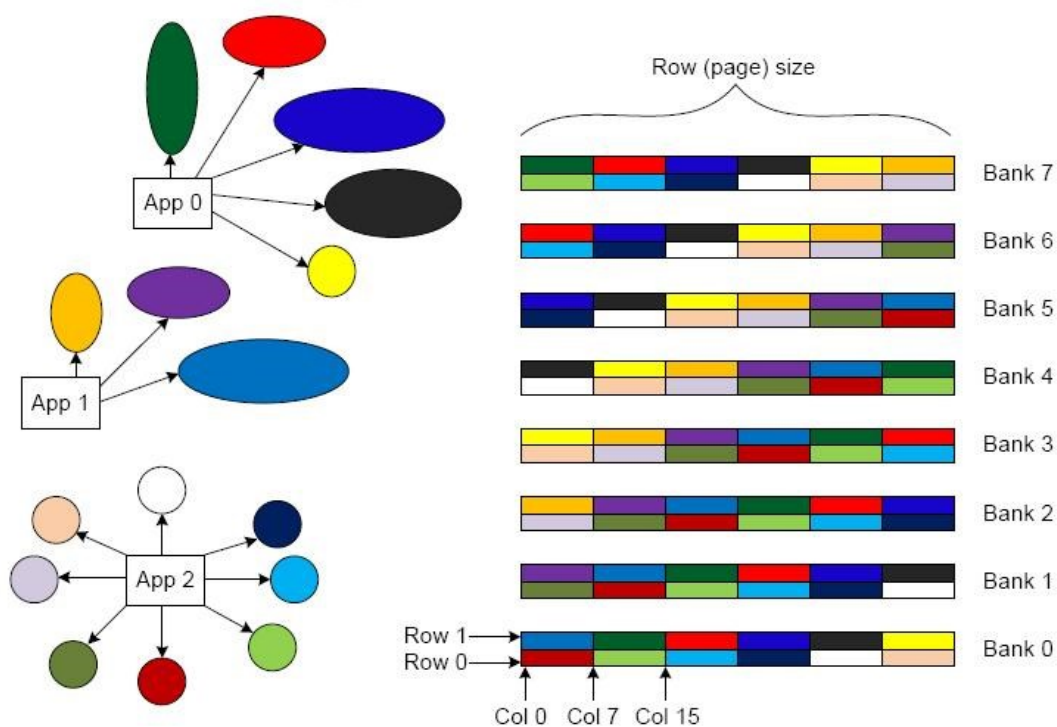
krmilnikom pomnilnika in DRAM-pomnilniškimi moduli razmerje med signalnimi in ozemljitvenimi vodniki 1 : 1.

Pomnilnik DDR4 je odlično prilagojen tudi za večnitne aplikacije (slika 20). Različne barve na slikah 19 in 20 predstavljajo dostope aplikacij do različnih pomnilniških lokacij. Pri enonitnih aplikacijah ostaja vrstica odprta za ponavljajoče dostope do stolpcev. Zaradi izkoriščanja lokalnosti pomnilniških dostopov se do vrstice dostopa enkrat in nato vrstica ostane odprta za dostope do stolpcev (slika 19).



Slika 19: Dostopi do pomnilniških vrstic pri enonitnih aplikacijah. [8]

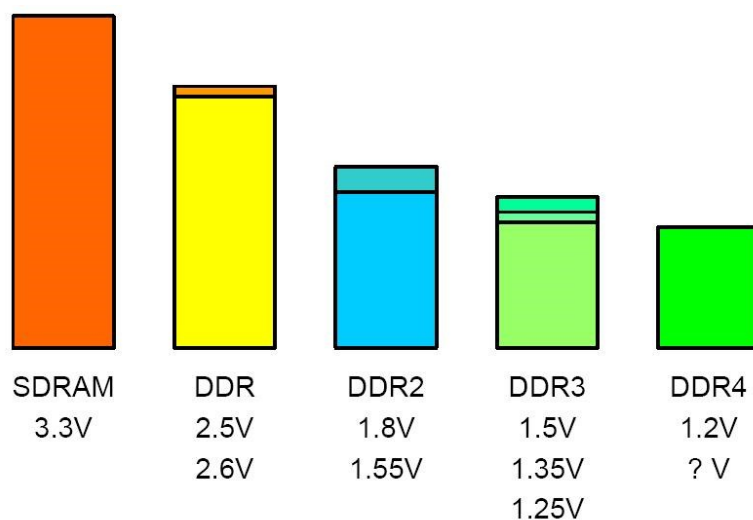
Pri večnitnih aplikacijah (slika 20) pa je vrstica odprta samo za en dostop do stolpca, nato pa se takoj zapre. S tem je omogočeno hitrejše izvajanje večnitnih aplikacij.



Slika 20: Dostopi do pomnilniških vrstic pri večnitnih aplikacijah. [8]

## 5.2 Manjša poraba energije

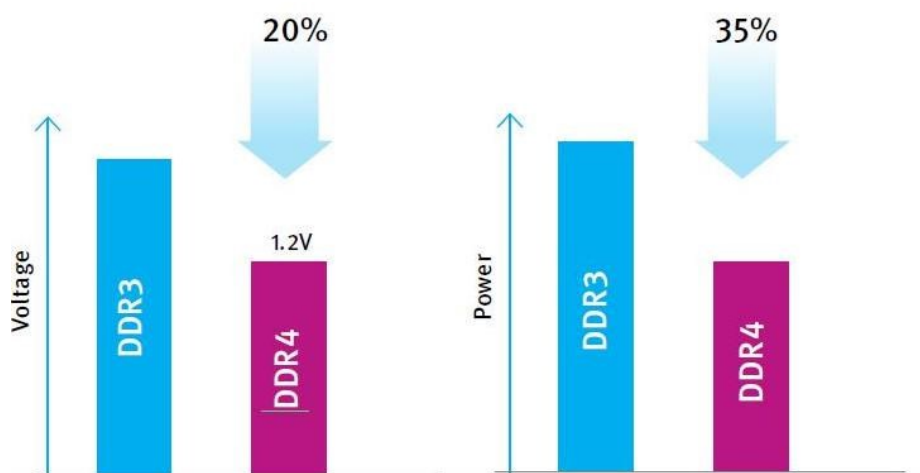
Naslednja poglobljena prednost pomnilnika DDR4 SDRAM v primerjavi s prejšnjo različico DDR3 je nižja napajalna napetost ter manjša poraba, kar je tudi trend razvoja SDRAM-pomnilnikov (slika 21).



Slika 21: Trend zmanjševanja napajalne napetosti pri pomnilniških čipih. [8]

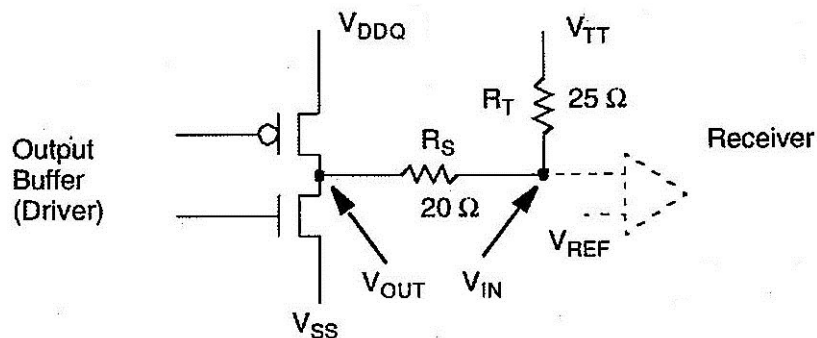
Pomnilnik DDR4 naj bi po izračunih zaradi 20 % nižje napajalne napetosti porabil kar 35 % manj električne energije kot njegov predhodnik (slika 22).

Poleg energijske učinkovitosti je DDR4 veliko hitrejši. DDR4 lahko dosega tudi do 3.200 Mb/s, DDR3 pa le 1.600 Mb/s. Poleg tega so DIMM-moduli DDR4 narejeni v večji kapaciteti (od 2 do 8 GB) in delujejo na višjih frekvencah (667 MHz do 1,6 GHz) v primerjavi s predhodnikom DDR3 (300–800 MHz). DDR4 ima kar 16 modulov, kar je kar za polovico več od predhodnika DDR3.



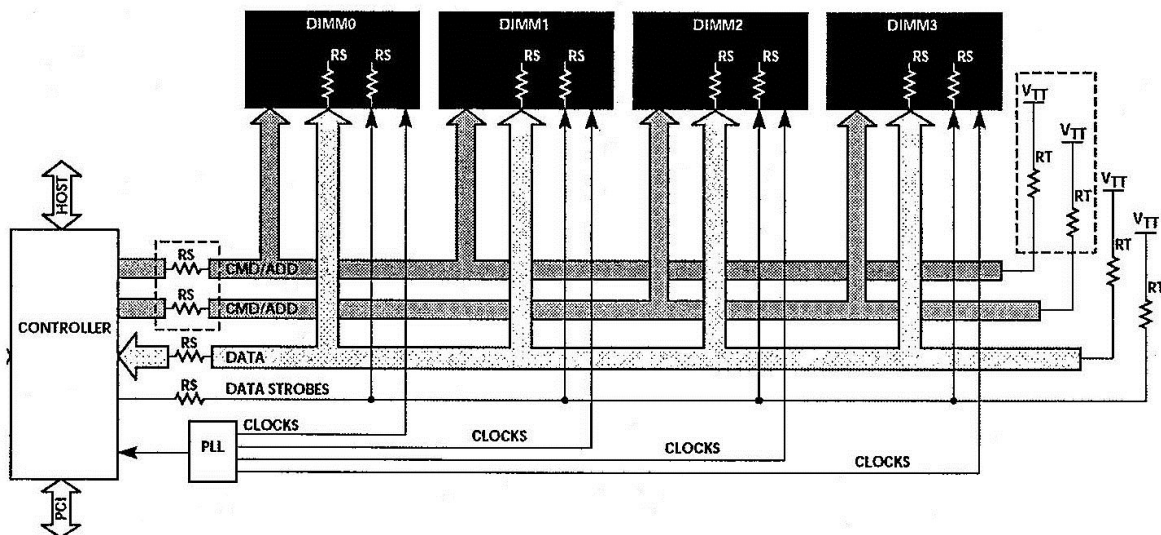
Slika 22: Primerjava napajalne napetosti in porabe energije pri DDR3 in DDR4. [14]

S tem ko so vhodno-izhodni logiki spremenili napajalno napetost (VDDQ) z 1,35 V, uporabljene pri DDR3 SDRAM-u, na 1,2 V pri DDR4 SDRAM-u, so morali poskrbeti tudi za ločeno napajalno napetost za napajanje SDRAM-jedra. Zaradi zelo visokih frekvenc pride na vhodno-izhodnih povezavah DRAM-pomnilnika do odbojev signala. Za preprečevanje odbojev se pri DDR3 uporablja Theveninova zaključitev (slika 25), pri DDR4 pa se uporablja tako imenovana *pseudo open drain* zaključitev (slika 25). To omogoča pomnilniku DDR4 manjšo porabo energije. [7]

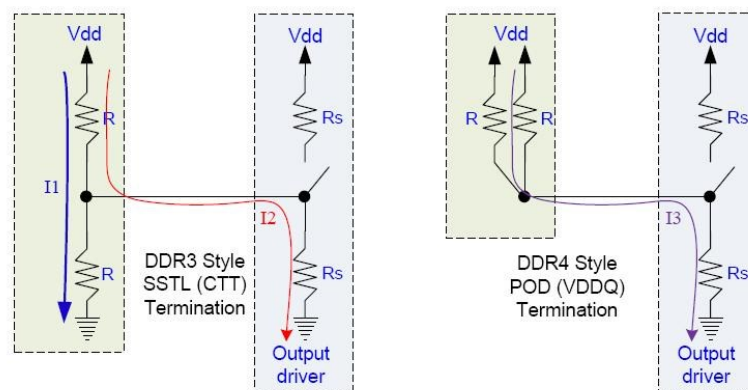


Slika 23: DDR3 serijska zaključitev pri oddajniku. [15]

Na sliki 24 sta razvidna 2 kanala s po dvema pomnilniškima moduloma oz. dvakratno pomnilniško prepletanje, kot je običajno na današnjih matičnih ploščah. Vidita se dve ločeni vodili za naslovne in kontrolne signale (angl. *command*). V primeru dveh DIMM-modulov je potrebno vsakega namestiti v svoj kanal, tako da ima vsak svoje ukazno/naslovno vodilo. S tem dosežemo dvojno hitrost, podatkovno vodilo pa je skupno. Če DIMM-modulov ne namestimo vsakega v svoj kanal, imamo samo enojno hitrost. Na sliki je razvidna tudi serijska (RS) ter paralelna (RT) zaključitev na povezavah, ki služi za preprečevanje odbojev.



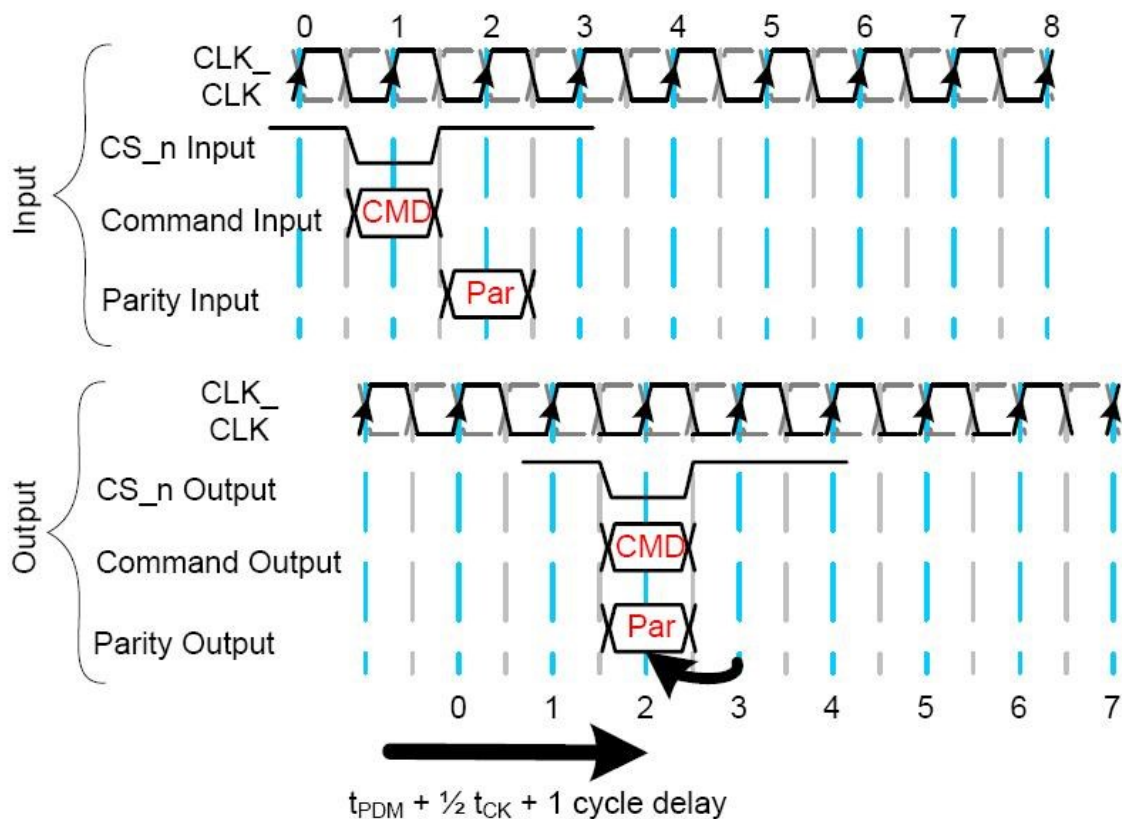
Slika 24: Povezava DIMM-pomnilniških modulov na krmilnik pomnilnika. [15]



Slika 25: DDR3: Theveninova zaključitev pri SSTL-povezavi (levo);  
DDR4: nova zaključitev pri POD-povezavi (desno). [8]

### 5.3 Izboljšana zanesljivost, dostopnost in uporabnost

DDR4 SDRAM omogoča detekcijo paritetnih napak na ukaznih /naslovnih signalih in s tem hitrejše reagiranje krmilnika pomnilnika na napake, tako da ukazni register blokira ukaze s paritetno napako (slika 26).



Slika 26: RCD-register preveri in blokira ukaz z nepravilno pariteto. [8]

DDR4 DRAM-i kot opcijo podpirajo tudi detekcijo napak pri pisanju s pomočjo cikličnega redundantnega kodiranja (CRC). Detektirajo se vse naključne napake enega, dveh in lihega števila bitov. To omogoča dobro zaščito pred napakami pri prenosu signalov med krmilnikom in pomnilnikom pri pisanju. Pri pisanju se podatki shranijo v pomnilniške celice in se ne čaka na CRC-kontrolo. V primeru CRC-napake pa krmilnik pomnilnika operacijo ponovi in podatke prepíše. Pri branju CRC-kontrola ni podprta.

Poleg tega pa ima zmožnost, da povrne stanje, ko pride do napake paritetnega bita. Pomnilnik zna uspešno zaznati enojne, dvojne in vse lihe bitne napake. DDR4 SDRAM ima torej zmožnost kompleksnega postopka blokiranja ukazov z napako pred samo izvedbo, tako da do napake paritetnega bita v tej arhitekturi ne pride več. Obsežen nabor funkcij zagotavlja arhitekturi DDR4 SDRAM-delovanje na višjih frekvencah, ob tem pa lahko zanemarimo delež napak. S tem novodobna pomnilniška arhitektura izkorišča napredne možnosti DDR4 SDRAM-a ter s tem poveča robustnost pomnilniškega sistema. Vse to ne omogoča le zaznavanja napak, temveč tudi posredovanje ter obnavljanje stanj, ko pride do različnih vrst napak.

| Spec items      |                               | DDR3                             | DDR4                          |
|-----------------|-------------------------------|----------------------------------|-------------------------------|
| Density / Speed |                               | 512Mbp~8Gb<br>1.6~2.1Gbps        | 2Gb~16Gb<br>1.6~3.2Gbps       |
| Interface       | Voltage (VDD/VDDQ/VPP)        | 1.5V/1.5V/NA<br>(1.35V/1.35V/NA) | 1.2V/1.2V/2.5V                |
|                 | Vref                          | External Vref (VDD/2)            | Internal Vref (need training) |
|                 | Data IO                       | CTT (34ohm)                      | POD (34ohm)                   |
|                 | CMD/ADDR IO                   | CTT                              | CTT                           |
|                 | Strobe                        | Bi-dir / diff                    | Bi-dir / diff                 |
| Core architect  | # of banks                    | 8Banks                           | 16Banks (4BG)                 |
|                 | Page size(X4/8/16)            | 1KB / 1KB / 2KB                  | 512B / 1KB / 2KB              |
|                 | # prefetch                    | 8bits                            | 8bits                         |
|                 | Added function                | RESET/ZQ/Dynamic ODT             | + CRC/DBI/Multi preamble ..   |
| Physical        | Package type/balls (X4,8/X16) | 78 / 96 BGA                      | 78 / 96 BGA                   |
|                 | DIMM type                     | R,LR,U,SoDIMM                    | + ECC SoDIMM                  |
|                 | DIMM pins                     | 240 (R,LR,U) / 204 (So)          | 284 (R,LR,U) / 256 (So)       |

Slika 27: Primerjava lastnosti pomnilnikov DDR3 in DDR4. [11]

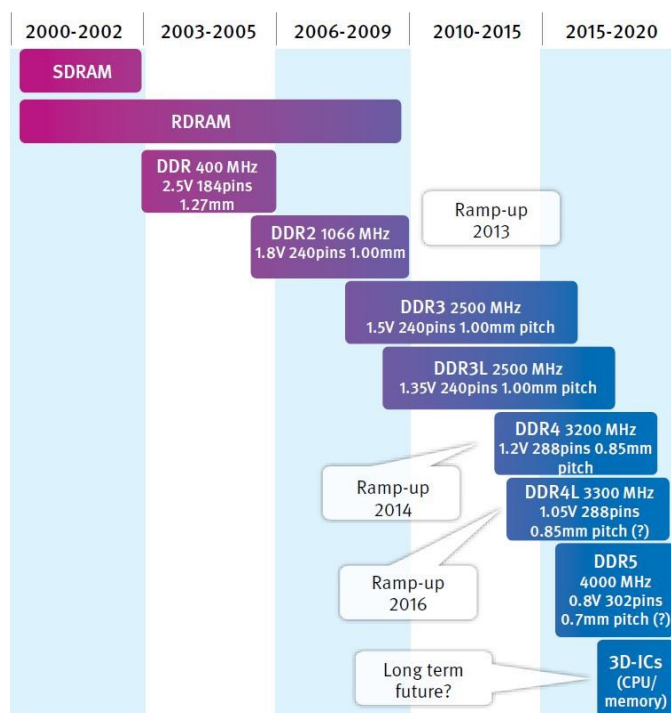
Specifikacija JESD79-4 za pomnilnik DDR4 SDRAM razkriva številne razvojne izboljšave njegovega predhodnika DDR3 SDRAM. V tabeli na sliki 27 je prikazana primerjava lastnosti med DDR3 in DDR4 SDRAM-om. [7]

## 6. ZAKLJUČEK

Ko primerjamo pomnilnik DDR3, ki je običajen v današnjih osebnih računalnikih, s pomnilnikom DDR4, lahko rečemo, da bo deloval z višjimi frekvencami ter z višjo hitrostjo prenosa podatkov. Zavedati se moramo, da je dejanska pohitritev odvisna tudi od tega, ali pomnilnik uporablja pomnilniško prepletanje in od stopnje prepletanja. V primeru, da imamo npr. dvakratno pomnilniško prepletanje pomnilnika DDR2 oz. branje z dveh modulov hkrati, to pomeni enako ali celo višjo hitrost kot pri pomnilniku DDR3 brez prepletanja. Višja stopnja pomnilniškega prepletanja skrajša čase dostopa do pomnilnika. Pomnilniško prepletanje navadno omogočajo dražji računalniki, predvsem tisti z več procesorji, s katerimi lahko dosežemo tudi do trikratno pomnilniško prepletanje. [12]

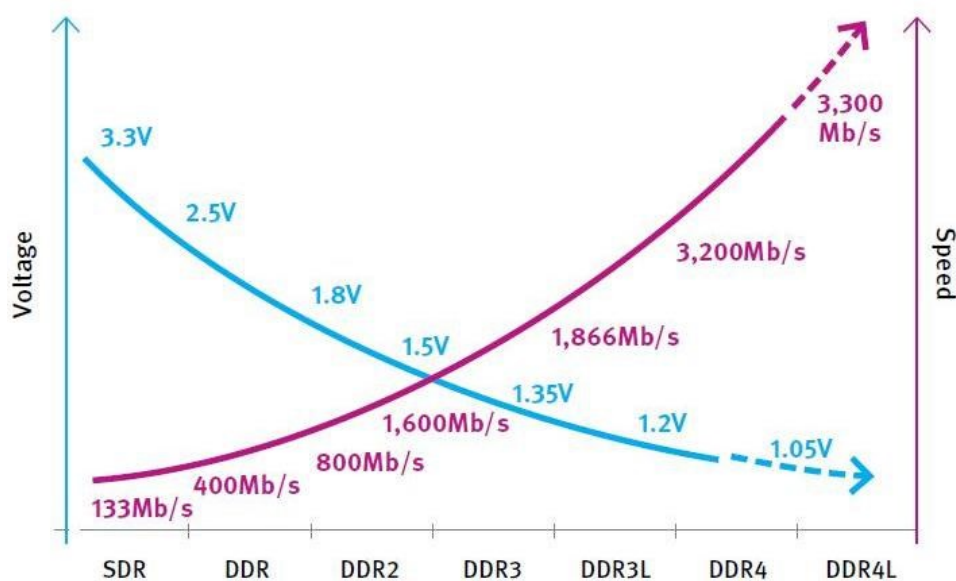
Novo pri pomnilniku DDR4 je tudi to, da omejuje en pomnilniški modul na posamezen pomnilniški kanal. To mu omogoča hitrejši prenos podatkov. Danes ima večina osebnih računalnikov osnovno ploščo, ki podpira dva pomnilniška kanala, v okviru katerih ima vsak lahko po dva pomnilniška modula. To pomeni, da bi lahko naleteli na težavo ob morebitni nadgradnji novega DDR4-pomnilnika, saj bi bilo potrebno zamenjati ves pomnilnik. Dražje osnovne plošče pa bodo skoraj zagotovo omogočale tudi štirikratno pomnilniško prepletanje. Seveda pa je odvisno vse tudi od števila podnožij. [12]





Slika 28: Smer razvoja pomnilnikov DDR v prihodnosti. [14]

Bistvena prioriteta današnjega trga je energijska učinkovitost in optimizacija delovanja. Zato je tudi prihodnost razvoja DDR-pomnilnika prioritarno povezana s porabo energije. Predvsem bo v ospredju vprašanje, kako narediti hitrejši pomnilnik z manjšo porabo energije. V prihodnosti lahko pričakujemo nov, še bolj učinkovit DDR4-pomnilnik ter pozneje nove 3D-tehnologije razvoja pomnilnika, ki bodo skušale pomnilnik čimbolj približati procesorju in ga s tem še bolj pohitriti. Zaradi tega se že pojavljajo različice pomnilnika z oznako L, kar pomeni, da so ti pomnilniki še varčnejši od običajnih različic (slika 24).



Slika 29: Primerjava izboljšane učinkovitosti pri razvoju SDRAM-ov. [14]

S krajšimi pomnilniškimi vrsticami in manjšo porabo energije, zaradi česar je njegova učinkovitost in zmogljivost večja, bo lahko pomnilnik DDR4 nedvomno dobro sprejet v strežniških sistemih v letu 2014.

Pozneje ko bodo pomnilniki DDR4 cenovno primerljivi z DDR3, se pričakuje tudi širša uporaba pomnilnikov DDR4 v osebnih računalnikih. [12], [7].

## 6. LITERATURA

- [1] B. Šter, DTII-SRAM. Dostopno na: <http://laspp.fri.uni-lj.si/dt2/DTII-SRAM.pdf>
- [2] B. Šter, DTII-DRAM. Dostopno na: <http://laspp.fri.uni-lj.si/dt2/DTII-DRAM.pdf>
- [3] D. Kodek, Arhitektura in organizacija računalniških sistemov, Šenčur: Bi-tim, 2008.
- [4] PC/PC2/PC3/PC4-Spezifikation (JEDEC). Dostopno na: <https://www.elektronik-kompodium.de/sites/com/0410031.htm>
- [5] M. A. Siddiqi, Dynamic RAM Technology Advancements, Boca Raton: CRC Press, 2012.
- [6] I. Škraba, prosojnice pri predmetu Računalniška arhitektura, Ljubljana: Fakulteta za računalništvo in informatiko, 2013/2014.
- [7] D. Wang, Why Migrate to DDR4. Dostopno na: [http://www.eetimes.com/document.asp?doc\\_id=1280577](http://www.eetimes.com/document.asp?doc_id=1280577)
- [8] D.Wang, Why Migrate to DDR4: DDR4 Workshop 2013, Inphi Corp., 2013.
- [9] DDR4 Bank Groups in Embedded Applications. Dostopno na: <https://www.synopsys.com/Company/Publications/DWTB/Pages/dwtb-ddr4-bank-groups-2013Q2.aspx>
- [10] Samsung ramps up volume production of DDR4 memory. Dostopno na: <http://www.kitguru.net/components/memory/anton-shilov/samsung-ramps-up-volume-production-of-ddr4-memory/>
- [11] DDR4 Mini Workshop, JEDEC. Dostopno na: [www.jedec.org/sites/default/files/JS\\_Choi\\_DDR4\\_miniWorkshop.pdf](http://www.jedec.org/sites/default/files/JS_Choi_DDR4_miniWorkshop.pdf)
- [12] Prihaja DDR4. Dostopno na: <http://www.monitor.si/clanek/prihaja-ddr4/125402/>

- [13] Islovar – slovar informatike. Dostopno na: [www.islovar.org](http://www.islovar.org)
- [14] Stanyl ForTii, the best fit for DDR4 housings, DSM. Dostopno na:  
[http://www.dsm.com/content/dam/dsm/electrical-electronics/en\\_US/documents/Stanyl-ForTii-the-best-fit-for-DDR4-housings.pdf](http://www.dsm.com/content/dam/dsm/electrical-electronics/en_US/documents/Stanyl-ForTii-the-best-fit-for-DDR4-housings.pdf)
- [15] T. Granberg, Handbook of Digital Techniques for High-Speed Design: Design Examples, Signaling and Memory Technologies, Fiber Optics, Modeling and Simulation to Ensure Signal Integrity, New Jersey: Prentice Hall, 2004.